

СХЕМОТЕХНИКА И ПРОЕКТИРОВАНИЕ CIRCUIT ENGINEERING AND DESIGN

УДК 621.3.049.77:658.5.512.2

Особенности проектирования параметризованных аналоговых ячеек на основе согласованных КНИ матричных элементов

А.А. Журавлев^{1,2}, Т.Ю. Крупкина¹, А.В. Эннс², В.И. Эннс²

¹Национальный исследовательский университет «МИЭТ»

²Акционерное общество «Научно исследовательский институт молекулярной электроники» (г. Москва)

Design Features of Parameterized Analog Cells Based on Matched SOI Matrix Elements

A.A. Zhuravlev^{1,2}, T.U. Krupkina¹, A.V. Enns², V.I. Enns²

¹National Research University of Electronic Technology, Moscow

²JCS «Molecular Electronics Research Institute», Moscow

Рассмотрены особенности проектирования параметризованных аналоговых ячеек на основе согласованных КНИ матричных элементов. Разработана методика создания таких ячеек. Приведены примеры программного кода построения параметризованных аналоговых ячеек на основе согласованных матричных элементов.

Ключевые слова: автоматизированное проектирование топологии; параметризованная аналоговая ячейка; согласованные матричные элементы; технология кремний на изоляторе.

The design features of the parameterized analog cells based on the matched matrix elements for SOI technology have been considered. The technique of creating such cells has been developed. The examples of the program code for building the parameterized analog cells, created based on the matched matrix elements, have been presented.

Keywords: automatic layout design; parameterized analog cell; matched matrix elements; silicon-on-insulator technology.

Введение. Современные аналоговые и цифровые схемы проектируются на основе библиотечных элементов, что значительно сокращает время их разработки. Однако в этом случае необходимо построение специальных библиотечных элементов. Еще более сократить время проектирования различных аналоговых схем можно за счет автоматического проектирования топологии аналогового блока в целом.

© А.А. Журавлев, Т.Ю. Крупкина, А.В. Эннс, В.И. Эннс, 2016

Существуют различные методы автоматизированного проектирования аналоговых схем. Например, метод LAYGEN II [1] основан на эволюционном вычислении. Разработчик создает высокоуровневое описание топологии с помощью шаблона. Этот шаблон содержит ограничения по расположению элементов и разводке и не зависит от технологии. При описании шаблонов для более сложных схем используется иерархия. Топология генерируется автоматически с помощью эволюционного алгоритма. В методе ALADIN [2] генерация топологии основана на использовании относительно сложных подсхем. Разработчики могут конструировать топологии параметризованных модулей независимо от технологии. Расположение и разводка модулей выполняются автоматически с учетом ограничений, определенных пользователем. В методе, основанном на использовании библиотеки параметризованных ячеек [3], для автоматической генерации и возможности многократного использования топологий аналоговых схем и схем со смешанными сигналами используются высокофункциональные параметризованные ячейки (pCells), полностью независимые от технологий. Ячейки программируются на языке SKILL. Основным преимуществом данного метода является возможность автоматического проектирования топологии аналоговых блоков с соблюдением всех требований для построения топологии прецизионных, скоростных схем с оптимальной используемой площадью. Недостатком является необходимость создания программного кода для каждого аналогового блока.

Для проектирования аналоговых схем требуются различные функциональные блоки: дифференциальные пары, токовые зеркала и др. Эти функциональные блоки также могут представлять собой параметризованные аналоговые ячейки второго уровня, которые проектируются на основе матричных элементов [4]. Матричный элемент состоит из параметризованных ячеек первого уровня, имеющих одинаковую ориентацию и геометрические размеры.

В настоящей работе предложена разработанная и апробированная на практике методика проектирования параметризованных аналоговых ячеек второго уровня, состоящая из пяти этапов.

Методика проектирования параметризованных аналоговых ячеек второго уровня. Прежде всего следует определить набор функциональных блоков, входящих в библиотеку, и выбрать технологическую библиотеку или технологические библиотеки, на основе которых будут создаваться параметризованные аналоговые ячейки второго уровня [5]. Рассмотрим разработанную методику проектирования параметризованных аналоговых ячеек второго уровня.

Определение параметров ячейки. На первом этапе для аналоговой ячейки второго уровня определяются параметры, значения которых должен задать разработчик для получения необходимого ему элемента. Кроме того, можно задать параметры получения дополнительной информации об элементе. Значение таких параметров при проектировании схем изменять нельзя.

После этого в коде записываются необходимые для построения ячейки значения физических правил проектирования. Для того чтобы программируемая ячейка не зависела от конкретных значений, их задают параметрически. Поскольку основные физические правила содержатся в технологическом файле, их значения можно получить с помощью функций SKILL:

$$\begin{aligned} tchf &= techGetTechFile(pcCellView), \\ drmPolyExtAct &= techGetParam(tchf "POLY_EXT_ACTIVE"), \\ drmContWidth &= techGetSpacingRule(tchf "minWidth" "contact"). \end{aligned}$$

Следовательно, различные численные значения физических правил можно записать в одну и ту же переменную. Эти значения будут зависеть исключительно от того, какая технологическая библиотека подключена к библиотеке проекта. Поэтому структура параметризованной ячейки не будет зависеть от конкретных значений технологических правил, так как для расчета тех или иных расстояний будут использоваться переменные. Таким образом, одна параметризованная ячейка может быть использована при проектировании схемы, например, по КНИ-технологии с технологическими нормами 180 или 240 нм, причем могут использоваться как стандартные библиотечные элементы, так и высоковольтные.

Расположение и согласование матричных элементов. На втором этапе проводится расположение и согласование матричных элементов. Важнейшими условиями построения параметризованных аналоговых ячеек второго уровня являются согласование матричных элементов, из которых состоит ячейка, и правильное расположение этих элементов [6]. Для этого при описании расположения элементов рекомендуется:

1) выбрать тип массива (например, одномерный или двумерный) или задать его параметрически;

2) разбить согласованные матричные элементы на четное число сегментов. Оптимальным является разбиение матричного элемента на число сегментов, кратное восьми. В этом случае массив сегментов будет симметричен не только относительно X - и Y -осей, но и относительно диагональных осей, сегменты каждого согласуемого элемента будут распределены максимально равномерно;

3) разместить сегменты так, чтобы они занимали наименьшую площадь. Расстояние между сегментами зависит от количества шин между ними и ширины этих шин.

Для того чтобы задать тип массива параметрически, предлагается ввести параметр «количество строк в ячейке». Зная общее количество согласованных сегментов N_{ELS} и количество строк N_{ST} , можно определить количество столбцов N_{CL} :

$$N_{CL} = N_{ELS} / N_{ST} .$$

Общее количество согласованных сегментов N_{ELS} определяется по формуле

$$N_{ELS} = \sum_{x=1}^N Nel_x ,$$

где N – количество согласованных матричных элементов; Nel – количество сегментов в одном матричном элементе.

Далее рассматриваются все возможные случаи построения массива сегментов. Учитывается как возможное количество сегментов каждого компонента, так и возможное количество строк и столбцов.

Разводка шин. На третьем этапе проводится разводка шин. Так как принадлежность сегментов к согласованным элементам определена, то расположение стоков/истоков также определено. Разработанная методика включает следующую последовательность разведения шин:

1) выбрать ширину шин в зависимости от тока, протекающего по ним (поскольку параметризованные аналоговые ячейки второго уровня предназначены для проектирования различных аналоговых и аналого-цифровых схем, оптимальным решением является ввод параметра «ширина шины», причем ширина различных шин может различаться; с целью сохранения равного расстояния между сегментами в случае

использования многомерного массива между строками должно быть равное количество шин с равной суммарной шириной);

2) соединить затворы транзисторов, набранных из сегментов, используя металлические связи;

3) разместить по возможности не менее двух контактов в местах межсоединений шин;

4) расположить шины симметрично относительно X - и Y -осей;

5) соединить стоки и истоки транзисторов, набранных из сегментов, используя металлические связи;

6) разместить по возможности не менее двух контактов в местах межсоединений шин;

7) расположить шины симметрично относительно X - и Y -осей;

8) соединить выводы подложек транзисторов (в большинстве случаев выводы подложек транзисторов соединяются с шиной питания или земли; такие шины по возможности разводятся одним металлом).

Создавать шины с различной толщиной, количеством изгибов и контактов в определенных частях шины наиболее удобно с помощью функции "*rodCreateRect*" или "*rodCreatePath*". При расчете длины той или иной шины выражения могут состоять из множества слагаемых:

$$MetLength = 3 * Met1Width + 2 * Met1Dist + Met1Div + ContWidth .$$

В этой формуле представлен расчет некоторой длины металла, зависящей от нескольких факторов. Для одной и той же ячейки в зависимости от входных параметров количество факторов может меняться как в большую, так и в меньшую сторону. В начале кода введены дополнительные переменные, позволяющие сократить количество слагаемых в выражении. Это позволяет сделать различные переменные более зависимыми друг от друга, за счет чего упрощается структура кода и устраняются ошибки, которые могут возникать при больших расчетах.

При проектировании параметризованной ячейки по КНИ-технологии в ячейках требуется защита от эффекта антенны. Данный эффект выражается в следующем: из-за эффекта накопления заряда на проводящих шинах, напрямую подсоединенных к затворам транзисторов во время некоторых технологических процессов (например, осаждения оксида), может ухудшаться качество подзатворного окисла. Например, в токовых зеркалах, спроектированных по технологии объемный КМОП, затворы транзисторов защищены за счет диодного включения транзистора. В токовых зеркалах, спроектированных по КНИ-технологии, такой защиты нет. С целью защиты транзисторов от разрушения в шинах, соединяющих затворы транзисторов, необходимо сделать разрыв. Соединить обратно эти шины нужно самым верхним металлом. На рис.1 представлен фрагмент разводки токового зеркала, выполненного по КНИ-технологии с технологическими нормами 180 нм, в архитектуру которого входит защита от антенны.

Расположение дополнительных элементов и терминалов ввода-вывода. На четвертом этапе осуществляется расположение дополнительных элементов в ячейках. К дополнительным элементам относятся фиктивные элементы, охранные кольца и т.д. В некоторых случаях их удобней описать в начале кода. При проектировании параметризованной ячейки по КНИ-технологии ячейки должны быть окружены фиктивными транзисторами. Эти транзисторы устраняют изменение геометрии элементов, вызванное неравномерностью травления. Кроме того, в отличие от технологии объемного кремния для фиктивных транзисторов также необходима защита от антенны. С целью

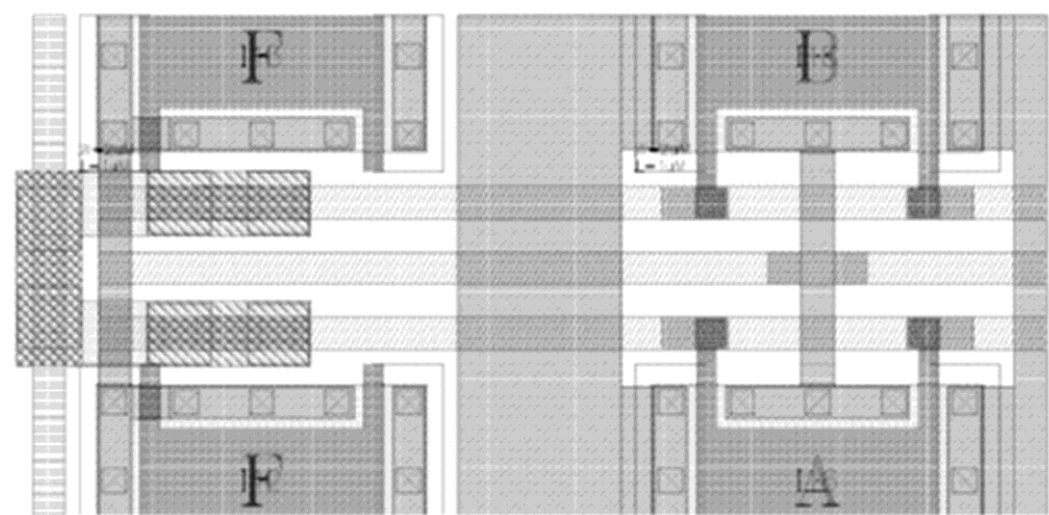


Рис. 1. Фрагмент разводки токового зеркала, в архитектуру которого входит защита от антенны

защиты этих транзисторов от разрушения все фиктивные транзисторы объединяются между собой общей шиной или несколькими шинами, которые соединяются с шиной питания или земли через самый верхний металл. Также на данном этапе производится расстановка терминалов ввода-вывода (PIN). Терминалы должны располагаться в удобных для дальнейшего использования ячейки местах.

Описание параметров ячейки. На заключительном этапе проводится описание параметров ячейки методом Component Description Format (CDF). С помощью этого метода устанавливаются единицы измерения, значения по умолчанию и ограничения для параметров, назначенных для данной ячейки. Использование функции "*callback*", написанной на языке SKILL, которая выполняется при изменении значения параметра, позволяет контролировать соотношения между параметрами и ограничениями, налагаемыми на эти параметры. Для того чтобы функции "*callback*" для всех ячеек, входящих в состав библиотеки параметризованных аналоговых ячеек второго уровня, подгружались автоматически, их нужно записать в файл "*libInit.il*", который должен быть вложен в директорию с библиотекой.

Экспериментальные результаты. Рассмотрим пример создания параметризованной аналоговой ячейки токового зеркала по КНИ-технологии с технологическими нормами 180 нм по разработанной методике проектирования.

Основными параметрами для токового зеркала являются ширина w , длина l и количество пальцев транзисторов m , из которых он состоит. Кроме того, вводятся параметры, определяющие разводку шин: количество строк в массиве сегментов, ширина шин, объединяющих затворы, стоки и истоки транзисторов по горизонтали (в каждой строке), ширина шин, объединяющих затворы, стоки и истоки транзисторов по вертикали (объединение горизонтальных шин). Также вводятся дополнительные параметры, которые пользователь не может изменить: количество фиктивных транзисторов в ячейке и общая ширина транзистора, которая высчитывается автоматически, когда пользователь изменяет значение какого-либо параметра.

При описании расположения сегментов согласованных матричных элементов определяются все возможные массивы сегментов. Рассмотрим пример (таблица) расположения и согласования транзисторов для случая, когда количество сегментов в каждом элементе одинаково и кратно четырем.

Пример кода

Код	Примечание
<pre>for(i 1 N_{ST} / 2 Y1_crd = Y0_crd + RectDist1 + (i - 1) * 2 * RectDist1 Y2_crd = Y1_crd + RectDist1 for(j 1 N_{CL} / 2 X1_crd = X0_crd + RectDist2 + (j - 1) * 2 * RectDist2 X2_crd = X1_crd + RectDist2</pre>	<p>Массив сегментов поделен на секции, состоящие из четырех сегментов; проведен расчет начальных координат сегментов</p>
<pre>foreach((Tx Ty) list(X1_crd X2_crd X1_crd X2_crd) list(Y1_crd Y2_crd Y1_crd Y2_crd) cvID = dbOpenCellViewByType("LIB" " pmos_h" "layout") dbCreateParamInst(pcCellView cvID nil list(Tx Ty) "R0" 1 list(list("l" "string" l) list("wb" "string" wb))) dbClose(cvID))</pre>	<p>С помощью функции "foreach" выполнено расположение сегментов</p>
<pre>Gatellbx = X1_crd + RectDist3 Gate2lbx = X2_crd + RectDist3 Gatellby = Y1_crd + RectDist4 Gate2lby = Y2_crd + RectDist4</pre>	<p>Проведен расчет начальных координат текстовых меток сегментов</p>
<pre>foreach((Gatellbx_orig Gatellby_orig LBN) list(Gatellbx Gate2lbx Gatellbx Gate2lbx) list(Gatellby Gatellby Gate2lby Gate2lby) if((oddp(i) && oddp(j)) (evenp(i) && evenp(j))) then list("A" "B" "B" "A") else list("B" "A" "A" "B")) dbCreateLabel(pcCellView "text" Gatellbx_orig Gatellby_orig "centerCenter" "R0" "roman" max(min(Twidth / 2 Tlength / 2) 0.4))))</pre>	<p>С помощью функции "foreach" выполнено расположение меток</p>

Текстовые метки создаются исключительно для удобства разработчика, выводить их необязательно. Следующее условие определяет, к какому матричному элементу относится каждый сегмент в секции в зависимости от номера столбца и строки:

$$if((oddp(i) \&\& oddp(j)) || (evenp(i) \&\& evenp(j)) then <...>$$

Таким образом, все последующие вычисления начальных координат и размеров шин для данного варианта массива будут привязаны к этому условию. На рис.2 представлены примеры массивов сегментов согласованных элементов, разработанных согласно критериям и правилам, приведенным в методике. Сегментом является p -канальный транзистор Н-типа, выполненный по КНИ-технологии с технологическими нормами 180 нм.

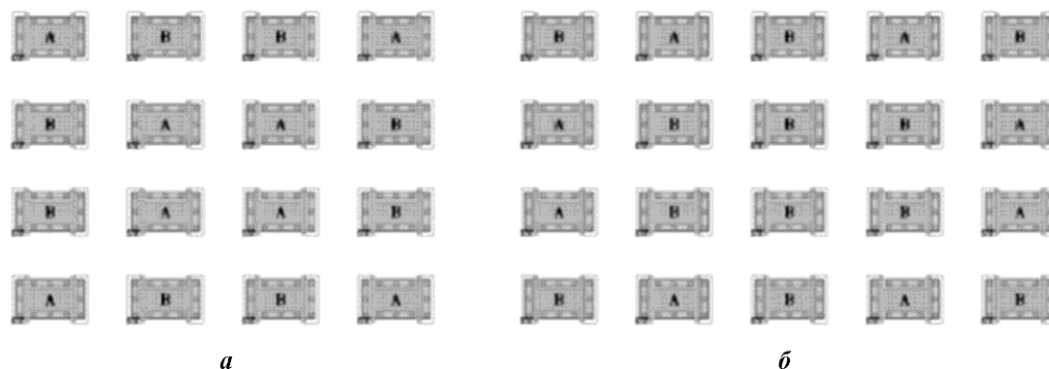


Рис.2. Массивы сегментов согласованных элементов ($w = 2$ мкм; $l = 1$ мкм):
 $a - mA = 8, mB = 8$; $b - mA = 8, mB = 12$

Как видно из рис.2, в согласованных элементах, у которых количество сегментов кратно восьми, массив сегментов симметричен относительно обеих X - и Y -осей. Относительно диагональных осей сегменты каждого согласуемого элемента распределены максимально равномерно.

На рис.3,а представлен пример топологии параметризованной аналоговой ячейки токового зеркала, созданной по КНИ-технологии с технологическими нормами 180 нм. Для сравнения на рис.3,б приведена такая же ячейка с такими же значениями параметров, но для технологии объемный КМОП с технологическими нормами 180 нм.

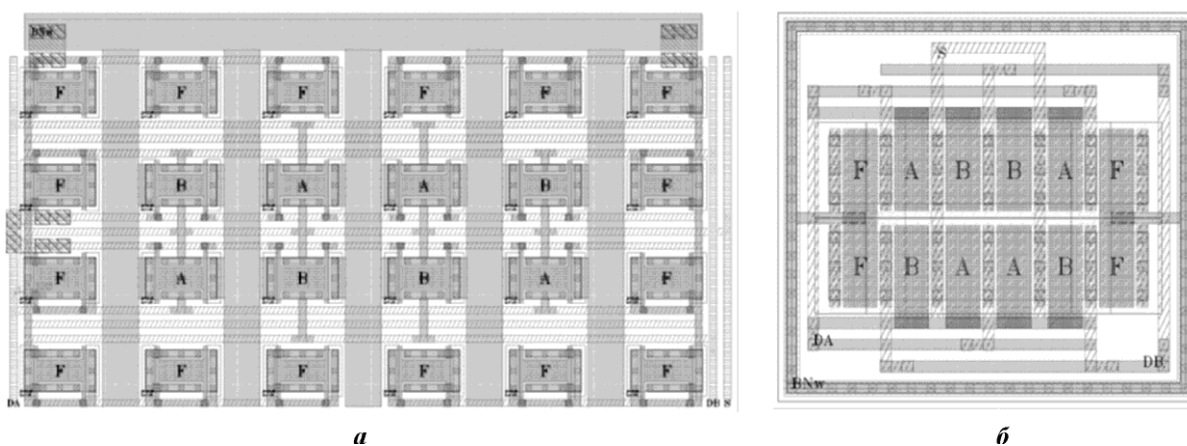


Рис.3. Топология токового зеркала, выполненного по КНИ-технологии (а) и по технологии объемный КМОП (б) с технологическими нормами 180 нм ($w = 2$ мкм; $l = 1$ мкм; $m = 4$)

Из рис.3 видно, что архитектуры токовых зеркал, выполненных по различным технологиям на основе различных библиотечных элементов, имеют существенные отличия. В КНИ-технологии использованы транзисторы Н-типа, токовое зеркало окружено фиктивными транзисторами. В технологии объемный КМОП токовое зеркало спроек-

тировано на основе стандартных симметричных МОП-транзисторов, ячейка окружена охранным кольцом. В последнем случае использование многомерного массива нарушило бы согласование элементов, поэтому в этой ячейке транзисторы в каждой строке имеют общую активную область, расстояние между строками минимальное, шины разведены вокруг транзисторов.

Заключение. По разработанной методике создана библиотека параметризованных аналоговых ячеек второго уровня по КНИ-технологии с технологическими нормами 180 нм, состоящая из следующих ячеек: дифференциальные пары, токовые зеркала, согласованные транзисторы с общим затвором, регенеративные пары и аналоговые ключи. Проектирование аналоговых схем на основе таких библиотечных элементов упрощается, а также занимает значительно меньше времени.

Литература

1. *Martins R., Lourenco N., Horta N.* LAYGEN II – automatic layout generation of analog integrated circuits // IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems. – 2013. – Vol. 32. – N. 11. – 0278-0070. – P. 1641–1654.
2. *Zhang L., Kleine U.* A novel analog layout synthesis tool // International Symposium on Circuits and Systems. – 2004. – Vol. 5. – 0-7803-8251-X. – P. 101–104.
3. *Jingman X., Vital J., Horta N.* A SKILL™-based library for retargetable embedded analog cores // Proc. of Design, Automation, and Test in Europe. – 2001. – 0-7803-8251-X. – P. 768–769.
4. *Журавлев А.А.* Исследование методов проектирования прецизионных аналоговых схем на параметризованных библиотечных элементах // 21-я Всероссийская межвузовская науч.-техн. конф. студентов и аспирантов «Микроэлектроника и информатика – 2014»: тез. докл. (Москва, 23–25 апр. 2014 г.). – М.: МИЭТ, 2014. – С. 69.
5. *Журавлев А.А.* Исследование методов проектирования параметризованных аналоговых ячеек второго уровня на различных технологиях // 7-я Всероссийская межвузовская науч.-практ. конф. студентов и аспирантов «Актуальные проблемы информатизации в науке, образовании и экономике – 2014»: материалы конф. (Москва, 13–14 нояб. 2014 г.). – М.: МИЭТ, 2014. – С. 159.
6. *Эннс В.И., Кобзев Ю.М.* Проектирование аналоговых КМОП-микросхем: краткий справочник разработчика. – М.: Горячая линия – Телеком, 2005. – 454 с.

Статья поступила
9 февраля 2016 г.

Журавлев Арсений Андреевич – инженер-конструктор АО «НИИМЭ» (г. Москва), аспирант кафедры интегральной электроники и микросистем (ИЭМС) МИЭТ. *Область научных интересов:* методы автоматизированного проектирования аналоговых и аналого-цифровых КМОП интегральных схем.
E-mail: arzhuravlev@mikron.ru

Крупкина Татьяна Юрьевна – доктор технических наук, профессор кафедры ИЭМС МИЭТ. *Область научных интересов:* моделирование технологических процессов и интегральных приборов, проектирование элементной базы и микросистем интегральной наноэлектроники.

Эннс Александр Викторович – кандидат технических наук, начальник лаборатории АО «НИИМЭ» (г. Москва), преподаватель Института проектирования приборов и систем МИЭТ. *Область научных интересов:* методы проектирования аналоговых и аналого-цифровых КМОП интегральных схем.

Эннс Виктор Иванович – кандидат технических наук, заместитель генерального директора АО «НИИМЭ» (г. Москва), преподаватель Института проектирования приборов и систем МИЭТ. *Область научных интересов:* методы проектирования аналоговых КМОП интегральных схем.