

МИКРОЭЛЕКТРОННЫЕ ПРИБОРЫ И СИСТЕМЫ MICROELECTRONIC DEVICES AND SYSTEMS

УДК 621.37.39

Исследование интегрального МОП-транзистора для микро мощных интегральных схем

А.В. Русанов¹, А.А. Осыкин¹, Ю.С. Балашов²

¹ОАО «Научный исследовательский институт электронной техники» (г. Воронеж)

²Воронежский государственный технический университет

Investigation of Integrated Transistor for Low-Voltage ICs

A.V. Rusanov¹, A.A. Osykin¹, Y.S. Balashov²

¹Scientific Research Institute of Electronic Technology, Voronezh

²Voronezh State University

Представлены результаты измерения параметров интегрального МОП-транзистора для низковольтных применений. Проверены предварительные расчеты прибора в приборно-технологическом САПР ISE TCad. Показаны состоятельность и эффективность предлагаемого МОП-транзистора для низковольтных применений.

Ключевые слова: низкое напряжение питания; МОП-транзистор с электрически соединенными затвором и карманом; МОП-транзистор с динамическим пороговым напряжением (DTMOS).

The description and the results of measuring the parameters of the integrated MOSFET for low-voltage applications have been presented. The preliminary calculation of the device has been verified in CAD ISE TCad. Based on the performed studies the conclusion about consistency and effectiveness of the proposed MOS transistor for low-voltage applications has been made.

Keywords: low-voltage power; MOSFET with a gate connected with bulk; MOS transistor with a dynamic threshold voltage (DTMOS).

Введение. Одним из основных технических требований к современным интегральным схемам является энергоэффективность. Наиболее простой способ снижения мощности потребления – снижение напряжения питания. Это вызывает необходимость уменьшения порогового напряжения V_t , чтобы по возможности сохранить эффективное напряжение на затворе и тем самым обеспечить требуемый уровень тока и скорости переключения КМОП-схем. Пороговое напряжение нельзя снижать неограниченно, по-

сколько при этом увеличивается подпороговый ток, который определяет потребление мощности цифровых СБИС в неактивном состоянии. Однако для аналоговых схем идеально нулевое пороговое напряжение, что увеличивает динамический диапазон аналоговой схемы, определяемый разностью между напряжением на затворе и пороговым напряжением ($V_{gs} - V_t$). Возникает противоречие требований со стороны цифровых схем, для которых пороговое напряжение определяет запас помехоустойчивости и подпороговый ток, а следовательно потребляемую мощность в режиме покоя. Для аналоговых схем подпороговый ток не влияет на энергопотребление, так как ток покоя в них обычно задается генераторами тока. Кардинальным решением этой проблемы является усложнение технологического процесса, что позволяет делать МОП-транзисторы с разными пороговыми напряжениями на одном кристалле [1].

В связи с низкой себестоимостью технологии цифровых СБИС и наличием хорошо отработанной инфраструктуры автоматизированного проектирования и производства, обеспечивающей быстрый выход изделий на рынок, представляет интерес применение технологий цифровых СБИС для разработки и производства аналоговых схем [2]. Однако это связано с рядом проблем: количество доступных активных и пассивных элементов довольно ограничено; технология оптимизирована только по двум критериям (быстродействие и потребляемая мощность); активные элементы контролируются только на основе простых тестов, таких как задержка вентиля и нагрузочная способность. Тем не менее данный подход перспективен и предпринимаются шаги по его развитию.

МОП-транзистор с динамическим пороговым напряжением. Для решения проблемы высокого порогового напряжения предлагается использовать МОП-транзистор с динамическим пороговым напряжением (DTMOS) [3]. Структура такого транзистора представлена на рис.1,а.

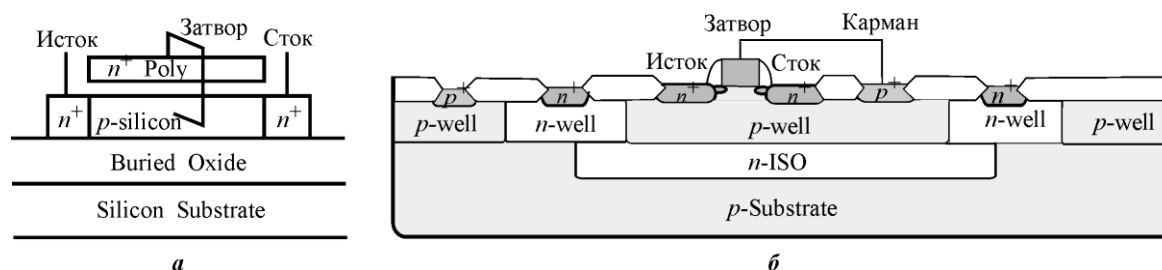


Рис.1. Поперечное сечение *n*-канального МОП-транзистора с динамическим пороговым напряжением на КНИ-подложке [3] (а) и поперечное сечение *n*-канального МОП-транзистора с электрически соединенными затвором и карманом технологического процесса HCMOS8D (б)

Конструктивной особенностью прибора является электрическое соединение затвора с карманом. Такое же включение можно реализовать в технологическом процессе производства интегральных схем с полной электрической изоляцией компонентов друг от друга. Примером такой технологии является КМОП-процесс HCMOS8D (ОАО «НИИМЭ и Микрон», г. Москва) (см. рис.1,б).

МОП-транзистор с динамическим пороговым напряжением отличается от МОП-транзистора с электрически соединенными затвором и карманом. Как видно из рис.1,а, области стока, истока и карман (*p*-silicon) одинаковой высоты. На рис.1,б структура другая: высота областей стока и истока существенно ниже, чем кармана (*p*-well). Таким образом, возникает необходимость исследования интегральной МОП-транзисторной структуры, изображенной на рис.1,б, на предмет выявления ее работоспособности и перспективности для применения в разработке интегральных схем.

Методика исследования. Исследование МОП-транзистора с электрически соединенными затвором и карманом проводилось в два этапа. Первый этап – предварительный, он заключается в математическом моделировании МОП транзисторной структуры в приборно-технологической САПР ISE TCad. Результаты моделирования описаны в [4–6]. Проведенные исследования показали работоспособность и высокую эффективность прибора. Второй этап – экспериментальный, он заключается в исследовании кристалла интегрального МОП-транзистора с электрически соединенными затвором и карманом.

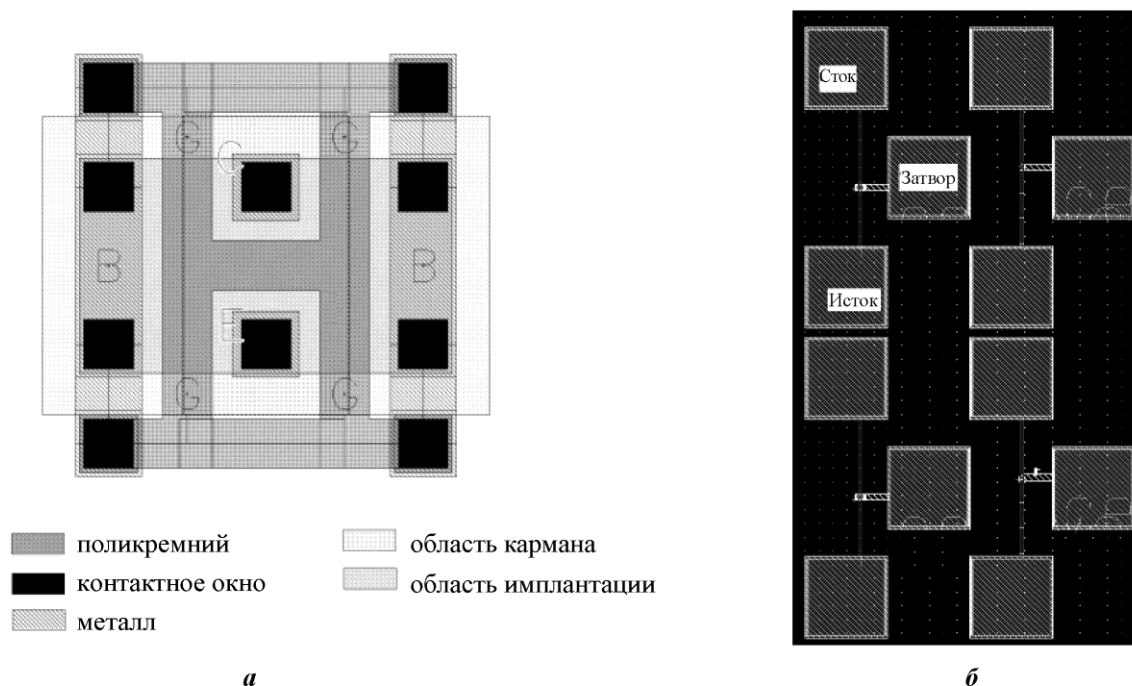


Рис.2. Топология n -канального МОП-транзистора с электрически соединенными затвором и карманом [7] (а) и топологический чертеж МОП-транзисторных структур с контактными площадками (б)

Топологический чертеж исследуемого интегрального n -канального МОП-транзистора с электрически соединенными затвором и карманом, разработанный по проектным нормам технологического процесса HCMOS8D [7], представлен на рис.2,а. С целью обеспечения возможности измерения параметров транзистора топология дополнена тестовыми контактными площадками по одной для каждого вывода транзистора: затвор, сток и исток. На рис.2,б представлен топологический чертеж четырех МОП-транзисторных структур с контактными площадками.

В итоге создано четыре транзистора со следующими размерами: ширина канала 0,72 мкм, длина канала 0,24 мкм. Фотография кристалла с МОП транзисторными структурами представлена на рис.3.

Результаты исследования. На рис.4 приведены расчетные и экспериментально полученные передаточные характеристики исследуемой МОП транзисторной структуры и МОП-транзистора в стандартном включении (карман транзистора соединен с истоком). Семейство расчетных и экспериментальных выходных ВАХ исследуемой МОП транзисторной структуры и МОП-транзистора в стандартном включении представлены на рис.5.

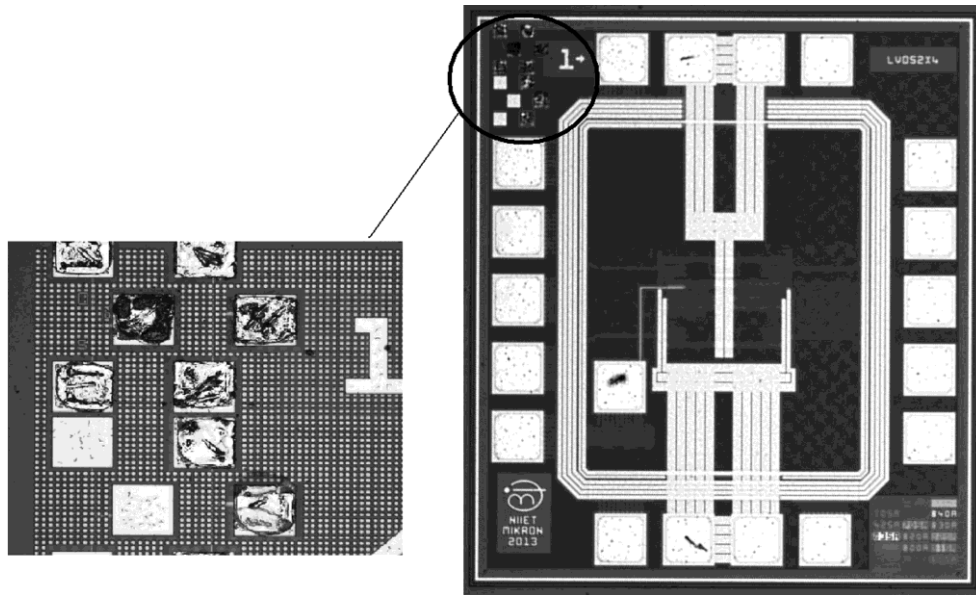


Рис.3. Фотография кристалла с исследуемыми МОП транзисторными структурами

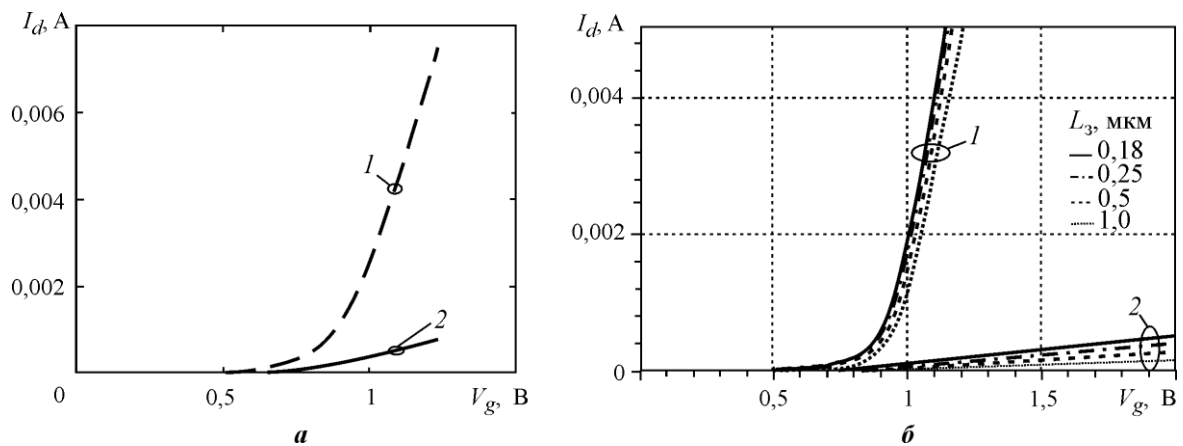


Рис.4. Экспериментальные (а) и расчетные [4] (б) передаточные характеристики МОП-транзистора с электрически соединенными затвором и карманом (1) и в стандартном включении (2)

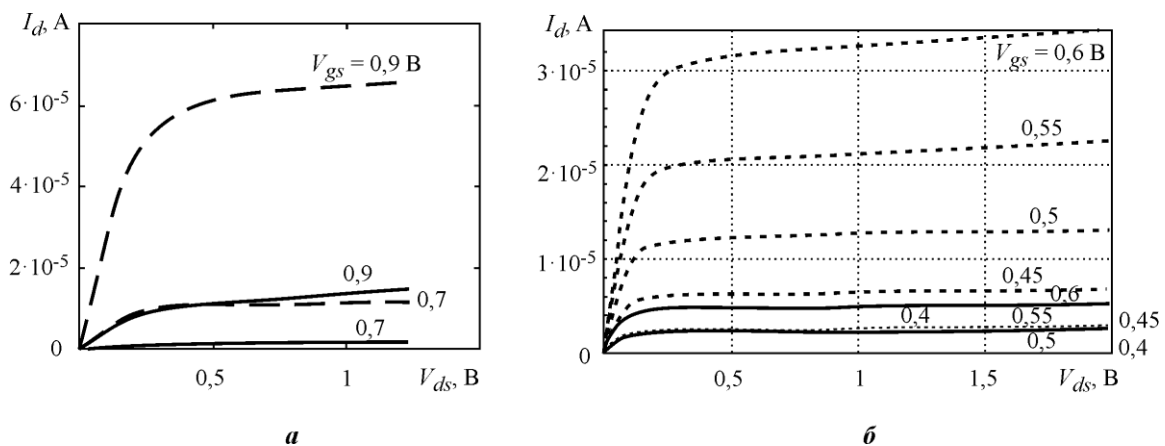


Рис.5. Экспериментальные (а) и расчетные (б) выходные ВАХ МОП-транзистора с электрически соединенными затвором и карманом (---) и в стандартном включении (—)

Как видно из рис.4 и 5, экспериментальные результаты аналогичны теоретическим, что подтверждает правильность проведенных исследований. Следует отметить, что экспериментальные и теоретические исследования проводились для разных технологических процессов, что обуславливает незначительные отклонения в результатах.

Электрические характеристики полученной МОП транзисторной структуры сведены в таблицу.

Основные характеристики МОП-транзистора с электрически соединенными затвором и карманом и МОП-транзистора в стандартном включении

| Измеряемый параметр | МОП-транзистор | |
|---------------------------------------|---|------------------------|
| | с электрически соединенными затвором и карманом | стандартный |
| Пороговое напряжение V_t , мВ | 635 | 720 |
| Ток насыщения I_{dsat} , мкА | 65 (при $V_g = 0,9$) | 14 (при $V_g = 0,9$) |
| Крутизна g_m , См | $0,3 \cdot 10^{-3}$ | $0,1 \cdot 10^{-3}$ |
| Выходное сопротивление R_{ds} , кОм | 165 (при $V_g = 0,9$) | 190 (при $V_g = 0,9$) |

Заключение. На основе разработанного топологического чертежа в существующем стандартном КМОП-маршруте изготовлены тестовые ячейки МОП-транзисторов. Проведенные измерения передаточных и выходных ВАХ с приемлемой точностью подтвердили результаты приборно-технологического моделирования. Теоретические и экспериментальные исследования показали возможность использования МОП-транзистора с электрически соединенными затвором и карманом для построения интегральных схем без внесения изменений в технологический процесс.

Литература

1. 0.18 mm CMOS for mixed digital and analog applications with zero-volt-Vth epitaxial-channel MOSFET's / *T. Ohguro, H. Naruse, H. Sugaya et al.* // IEEE Trans. on Electron Devices. – 1999. – Vol. 46. – N. 7. – P. 1378–1383.
2. *Razavi B.* CMOS technology characterization for analog and RF design // IEEE J. on Solid-State Circuits. – 1999. – Vol. 34. – N. 3. – P. 268–276.
3. Dynamic threshold-voltage MOSFET (DTMOS) for ultra-low voltage VLSI / *Fariborz Assaderaghi, D. Sinitsky, S.A. Parke et al.* // IEEE Trans. ON Electron Devices. – 1997. – Vol. 44. – N. 3. – P. 414 – 422.
4. *Русанов А.В., Ткачев А.Ю., Балашов Ю.С.* МОП-транзистор с управлением карманом и затвором одновременно // Вестник Воронежского государственного технического университета. – 2012. – Т. 8. – С. 151–154.
5. *Русанов А.В., Ткачев А.Ю., Балашов Ю.С.* Физические основы работы МОП-транзистора с управлением карманом и затвором одновременно // Вестник Воронежского государственного технического университета. – 2012. – Т. 8. – № 11. – С. 116–118.
6. *Русанов А.В., Ткачев А.Ю., Балашов Ю.С.* Эквивалентная схема МОП-транзистора с электрически соединенными затвором и карманом // Изв. вузов. Электроника. – 2014. – № 1(105) – С. 85–86.
7. Описание технологического процесса ОАО «НИИМЭ и «Микрон» [Электронный ресурс]. – URL: <http://www.mikron.sitronics.ru/products/mikron/technology/> (дата обращения: 05.10.2015).
8. *Скляр В.А., Русанов А.В., Ткачев А.Ю., Балашов Ю.С.* Интегральная микросхема биполярной МОП транзисторной структуры с низким напряжением питания // Свидетельство РФ № 2013630073. – 2013.

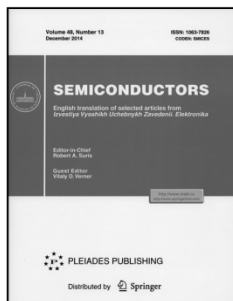
Статья поступила
после доработки 2 ноября 2015 г.

Русанов Александр Валерьевич – кандидат технических наук, инженер-конструктор 1 категории ОАО «Научно-исследовательский институт электронной техники» (г. Воронеж). *Область научных интересов:* разработка схемных и топологических решений аналоговых блоков интегральных схем.
E-mail: ralval@rambler.ru

Осыкин Андрей Александрович – инженер-технолог 2 категории ОАО «Научно-исследовательский институт электронной техники» (г. Воронеж). *Область научных интересов:* измерение параметров полупроводниковых приборов.

Балашов Юрий Степанович – доктор физико-математических наук, профессор, заведующий кафедрой радиоэлектронных устройств и систем Воронежского государственного технического университета. *Область научных интересов:* физика полупроводников и диэлектриков, интегральные технологии, 3d-проектирование интегральных схем.

Уважаемые авторы и читатели!



Вышел в свет журнал
SEMICONDUCTORS

English translation of selected articles from
Izvestiya Vysshikh Uchebnykh Zavedenii. Elektronika. –
Vol. 49, N 13, 2015. - ISSN: 1063-7826

<http://www.maik.ru>

<http://www.springerlink.com>