

Особенности интерфейса устройства тестового диагностирования памяти DDR SDRAM

С.В. Волобуев, В.Г. Рябцев

*Волгоградский государственный аграрный университет,
г. Волгоград, Россия*

sergey-aspir14@yandex.ru

Схема синхронизации при вводе-выводе играет важную роль с целью достижения максимальной скорости и достоверности передачи данных при функционировании памяти. В работе представлена архитектура интерфейса устройства тестового диагностирования синхронной памяти с двойной скоростью передачи данных (DDR SDRAM). Показано, что предлагаемые компоненты интерфейса обеспечивают формирование двунаправленного синхросигнала для стробирования записываемых и считываемых данных при выполнении тестового диагностирования микросхем и устройств памяти DDR SDRAM. По сравнению с традиционными методами предлагаемые компоненты интерфейса выполнены на интегральных электронных элементах, что позволяет уменьшить их габариты и снизить энергопотребление. Установлено, что при применении многофазной системы синхронизации для реализации интерфейса можно исключить использование линий задержки, недостатками которых являются большие габаритные размеры и сложность изменения времени задержки. Рассмотренные компоненты интерфейса предназначены для применения в устройствах тестового диагностирования, имеющих мультипроцессорную структуру, что способствует повышению быстродействия формирования тестовых воздействий и эталонных реакций. Выполненное функциональное моделирование и отладка формирователей стробирующих сигналов подтверждают осуществимость конструкций. Предлагаемый интерфейс позволяет выполнять тестовое диагностирование современных быстродействующих микросхем и модулей полупроводниковой памяти на рабочей частоте, в связи с чем повышается уровень достоверности полученных результатов. Компоненты интерфейса могут применяться при производстве средств тестового диагностирования современных быстродействующих запоминающих устройств.

Ключевые слова: интерфейс; память DDR SDRAM; передача данных; устройство тестового диагностирования

Для цитирования: Волобуев С.В., Рябцев В.Г. Особенности интерфейса устройства тестового диагностирования памяти DDR SDRAM // Изв. вузов. Электроника. 2021. Т. 26. № 3-4. С. 282–290. DOI: <https://doi.org/10.24151/1561-5405-2021-26-3-4-282-290>

Interface Features of the DDR SDRAM Memory Test Diagnostic Device

S.V. Volobuev, V.G. Ryabtsev

Volgograd State Agrarian University, Volgograd, Russia

sergey-aspir14@yandex.ru

Abstract: The I/O synchronization scheme plays an important role in achieving maximum speed and reliability of data transmission during memory operation. This paper presents the interface architecture of the DDR SDRAM test diagnostic device. It was demonstrated that the proposed interface components provide the formation of a bidirectional synchro signal for gating written and read data when performing test diagnostics of chips and DDR SDRAM memory devices. Compared to traditional methods, the proposed interface components were made on integrated electronic elements, which reduced the size and power consumption. It has been established that the use of a multiphase synchronization system to implement the interface eliminated the use of delay lines, the disadvantages of which are large dimensions and the complexity of changing the delay time. The interface components under consideration are intended for use in test diagnostics devices that have a multiprocessor structure, which increases the speed of forming test actions and reference reactions. The performed functional modeling and debugging of strobe signal generators confirmed the feasibility of the designs. The proposed interface of the test diagnostics device allows performing test diagnostics of modern high-speed chips and semiconductor memory modules at the operating frequency, which increases the reliability of the results obtained. Interface components can be used by manufacturers of test diagnostics tools for modern high-speed storage devices.

Keywords: interface; DDR SDRAM memory; data transfer; test diagnostics device

For citation: Volobuev S.V., Ryabtsev V.G. Interface features of the DDR SDRAM memory test diagnostic device. *Proc. Univ. Electronics*, 2021, vol. 26, no. 3-4, pp. 282–290. DOI: <https://doi.org/10.24151/1561-5405-2021-26-3-4-282-290>

Введение. Технология полупроводниковой памяти, являясь наиболее быстрорастущим сегментом электронной промышленности, постоянно совершенствуется с целью повышения плотности, эффективности и скорости передачи данных [1, 2]. Синхронная память с двойной скоростью передачи данных (DDR SDRAM) в настоящее время используется в таких устройствах, как ноутбуки, компьютеры, мобильные устройства, а также в современных серверах, автомобильных и облачных приложениях.

При производстве полупроводниковых запоминающих устройств с высокой скоростью передачи данных возникает проблема создания и определения характеристик интерфейса устройства тестового диагностирования (УТД) памяти [3, 4]. Интерфейс микросхем DDR SDRAM требует применения двунаправленного синхросигнала Dqs для стробирования записываемых и считываемых данных. Синхросигнал Dqs может подтверждать прием 4 или 8 бит данных. Фундаментальное преимущество использования синхросигнала Dqs – реализация высокой скорости передачи данных на выводы за счет сокращения времени доступа к памяти и уменьшения задержки распространения сигналов между памятью и контроллером памяти.

При выполнении тестирования интерфейс синхронной динамической оперативной памяти DDR SDRAM в режиме записи обеспечивает прием данных Dq по стробу передачи данных (Dqs), который формируется УТД, а фронты данного строба совпадают с центрами принимаемых данных. В режиме считывания данные Dq от памяти DDR SDRAM передаются в УТД, а фронты строба приема данных, формируемого оперативной памятью, совпадают с фронтами считанных данных. В известных контроллерах DDR SDRAM, реализованных на ПЛИС Xilinx серии Spartan-3 и др., для преобразования данного сигнала в сигналы, обеспечивающие запись данных в приемные регистры, применяются управляемые напряжением линии задержки (Voltage-Controlled Delay Line), программные модели которых отсутствуют, а технологические приемы для их реализации недоступны. Актуальность задачи, решаемой при проектировании интерфейса УТД, подтверждается разработкой интеллектуального ядра (IP Core), формирующего строб синхросигнала Dqs, реализованного на программируемой логической схеме с возможностью многократного использования с перепрограммированием параметров [5].

Целостность данных, обрабатываемых информационными управляющими системами, такими как серверы, базы данных, компьютеры и т.д., имеет решающее значение для их надежной работы. Для отказоустойчивых приложений важна целостность данных, хранящихся в памяти, а любые ошибки памяти могут представлять угрозу точности сложных операций и/или вызывать сбои системы, затрагивающие большое количество пользователей [6, 7]. Для обеспечения высокой надежности оперативной памяти необходимо выполнять эффективное тестовое диагностирование на реальной рабочей частоте. Методы повышения быстродействия УТД оперативной памяти предложены в работах [8, 9], в частности рассматривается применение мультипроцессорной структуры устройства, содержащего многоканальные формирователи кодов адреса и данных. В результате происходит одновременное формирование тестовых воздействий для нескольких смежных тактов за один период сигнала синхронизации. Однако принципы построения интерфейса УТД, обеспечивающего сопряжение с оперативной памятью DDR SDRAM, сформулированы недостаточно полно.

Цель настоящей работы – исследование особенностей архитектуры интерфейса памяти DDR SDRAM для корректного сопряжения с УТД, обеспечивающего доступ к данным в пакетном режиме.

Методика проектирования. Мультипроцессорная структура УТД оперативной памяти DDR SDRAM приведена на рис.1. В ее составе – контроллер, микропрограммная память, многоканальные формирователи кодов адреса (КА), кодов данных (КД) и кодов операций (КО), мультиплексоры КА, КД и КО, компараторы данных, формирователь строба передачи данных Dqs_w и формирователь стробов приема данных CER.

Работой УТД управляет контроллер по командам, поступающим из микропрограммной памяти со сложным форматом команд и микроопераций [10, 11]. Для управления режимами работы УТД для четырехканальных формирователей КА, КД и КО предусмотрено следующее множество команд рабочих операций:

$$M_{alg} = \{W_{alg_0}, W_{alg_1}, W_{alg_2}, W_{alg_3}, R_{alg_0}, R_{alg_1}, R_{alg_2}, R_{alg_3}, A_{alg_0}, A_{alg_1}, A_{alg_2}, A_{alg_3}\},$$

где $W_{alg_0}, W_{alg_1}, W_{alg_2}, W_{alg_3}$ – команды записи данных для четырех смежных тактов диагностирования; $R_{alg_0}, R_{alg_1}, R_{alg_2}, R_{alg_3}$ – команды считывания данных; $A_{alg_0}, A_{alg_1}, A_{alg_2}, A_{alg_3}$ – команды сравнения считанных и эталонных данных.

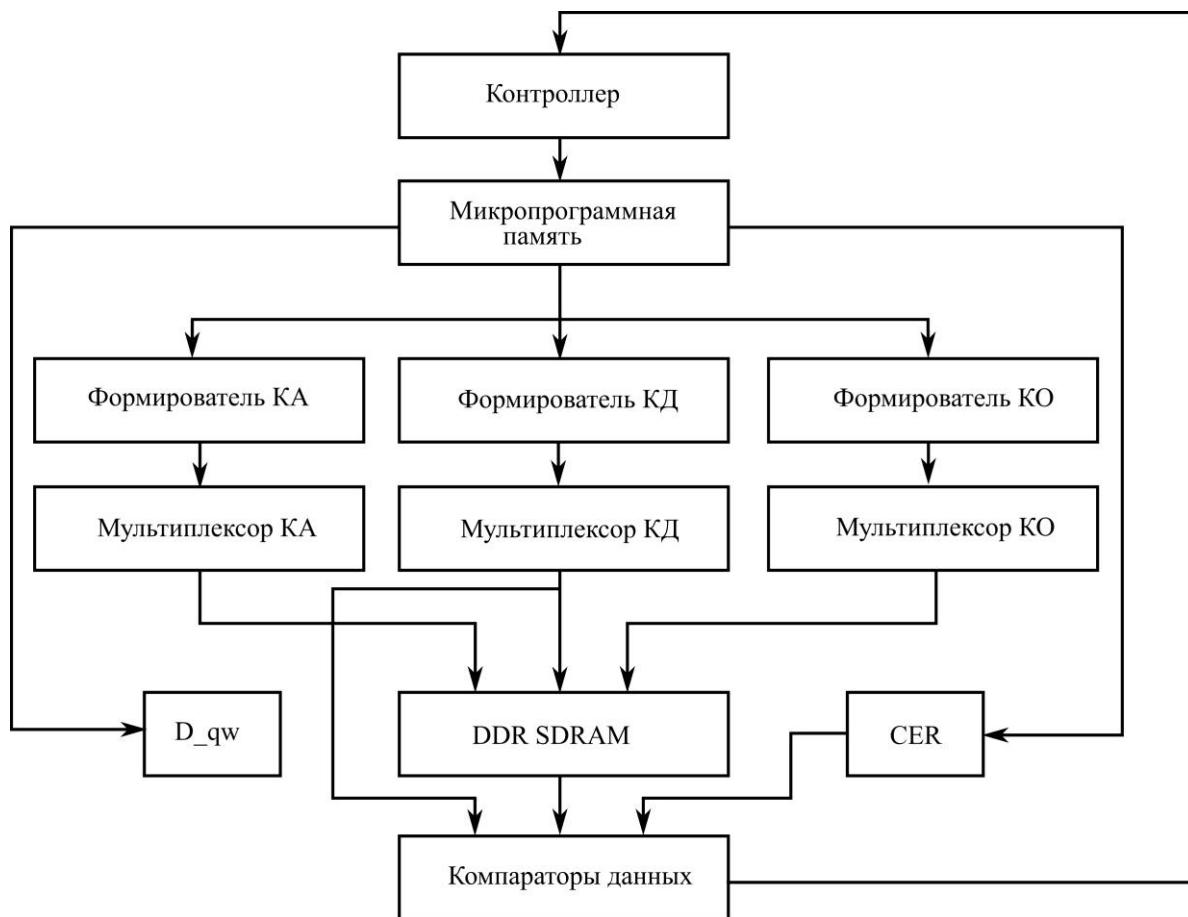


Рис.1. Структура устройства тестового диагностирования памяти DDR SDRAM
 Fig.1. Structure of the DDR SDRAM memory test diagnostic device

Для задания режимов работы памяти DDR SDRAM применяется следующее множество команд:

$$M_{RAM} = \{We_0, We_1, We_2, We_3, Cas_0, Cas_1, Cas_2, Cas_3, Ras_0, Ras_1, Ras_2, Ras_3\},$$

где $We_i, Cas_i, Ras_i, i = \overline{0,3}$ – сигналы для задания режимов работы микросхемы памяти в четырех смежных тактах диагностирования.

Передача тестовых воздействий на входы памяти осуществляется на реальной частоте за счет применения мультиплексоров. При этом снижаются требования по быстродействию к основным блокам УТД и увеличивается частота формирования тестовых воздействий и обработки эталонных реакций. Частота работы контроллера снижается пропорционально количеству каналов формирования КА, КД и КО.

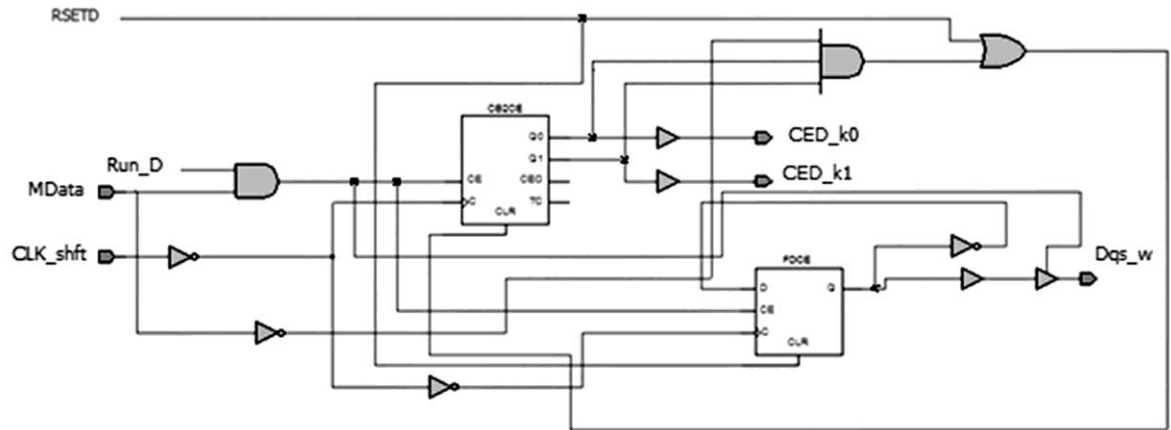
Для циклического повторения фрагментов тестов используются следующие признаки ветвления программ:

$$A_i \neq NA, A_i \neq GA, i = \overline{0,3},$$

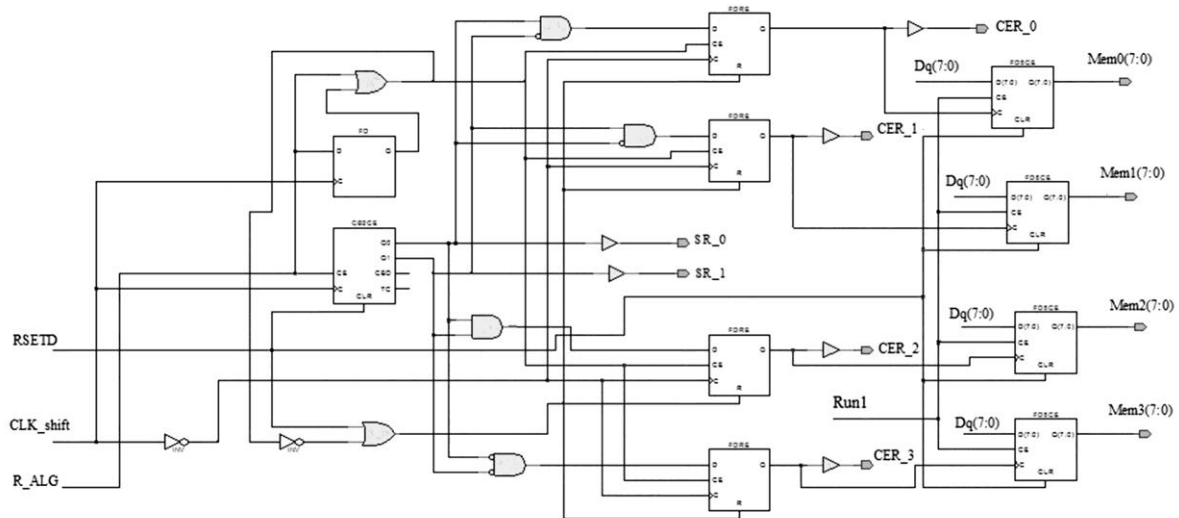
где NA – код конечного адреса тестируемой памяти; GA – код начального адреса тестируемой памяти.

Для выбора номера адресного формирователя A_i , признаки ветвления которого используются в данном такте диагностирования, применяются коды специального поля микропрограммной памяти.

Проектирование компонента средства связи УТД с микросхемой памяти. Для реализации интерфейса связи УТД с микросхемой памяти DDR-типа применена многофазная система синхронизации: сигнал Clk_alg обеспечивает синхронизацию работы УТД, сигнал CLK_1 синхронизирует работу микросхемы памяти, а сигнал CLK_shift обеспечивает работу элементов, формирующих сигнал Dqs_w в режиме записи. Схема формирователя сигнала Dqs_w в режиме записи приведена на рис.2,а. Она состоит из двухразрядного счетчика, D -триггера и логических элементов.



а



б

Рис.2. Схемы формирователя сигнала Dqs_w в режиме записи (а) и сигналов CER_0 - CER_3 (б)
 Fig.2. Diagram of the Dqs_w signal generator in recording mode (а) and of the signals generator CER_0 - CER_3 (б)

В исходное состояние счетчик и D -триггер переключаются сигналом $RSETD$. При поступлении на вход формирователя сигналов Run_D и $MData$ двухразрядный счетчик формирует сигналы CED_k0 и CED_k1 , а D -триггер начинает работать в счетном режиме под управлением высокочастотного синхронизирующего сигнала CLK_shift и на выходе схемы формируется сигнал Dqs_w . После того как счетчик по синхросигналу CLK_shift досчитает до трех, счетчик и D -триггер переключаются в нулевые состояния и формирование сигнала Dqs_w прекращается. При нулевом состоянии сигнала на входе $MData$ сигнал Dqs_w переключается в отключенное (третье) состояние.

Схема формирователя сигналов CER_0-CER_3 приведена на рис.2,б. Высокочастотный синхросигнал CLK_shift активизирует работу двухразрядного счетчика, который формирует сигналы SR_0 и SR_1. Их сочетание обеспечивает формирование сигналов CER_0-CER_3, определяющих моменты приема пачки считанных данных, состоящей из четырех 8-разрядных слов. Данные Dq(7:0), считанные из микросхемы памяти, в моменты времени, определяемые сформированными стробами CER_0-CER_3, заносятся в приемные регистры, с выходов которых сигналы Mem0(7:0)–Mem3(7:0) передаются на входы компараторов для сравнения с эталонными данными.

С помощью навигатора проектов Xilinx ISE разработана программная модель УТД микросхем памяти DDR SDRAM. Структура проекта УТД и основные процедуры процесса его имплементации в ПЛИС приведены на рис.3. Сообщение, выведенное на экран монитора, свидетельствует о завершении процесса программирования ПЛИС.

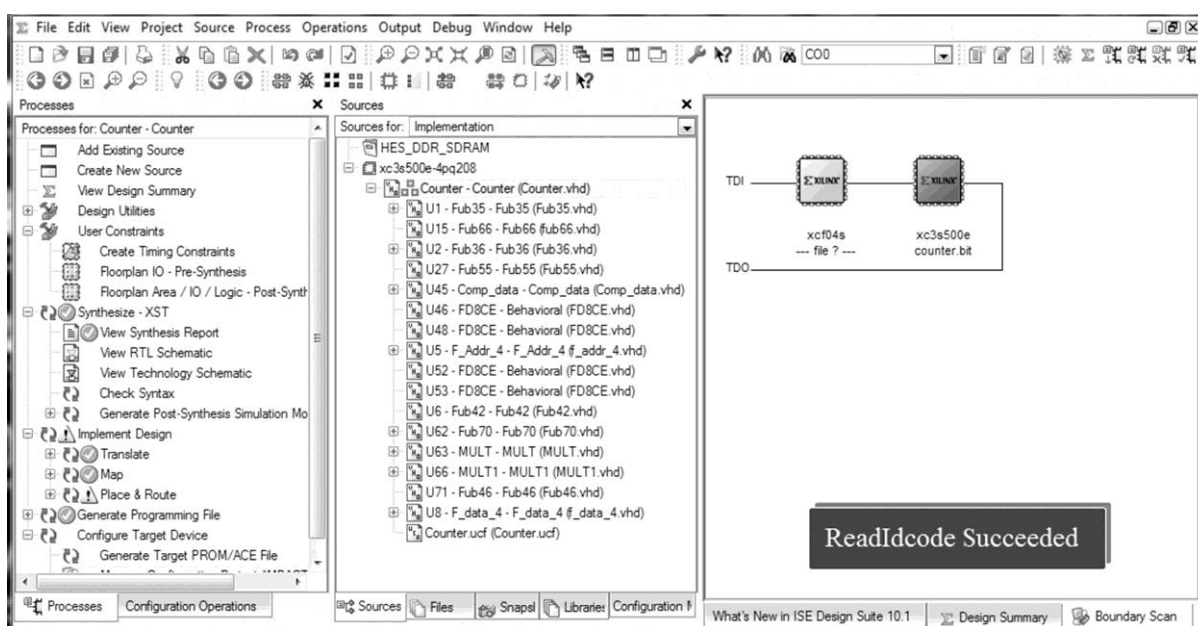


Рис.3. Структура проекта УТД и основные процедуры его имплементации в ПЛИС
Fig.3. Project structure of the test diagnostics device and procedure for its implementation in FPGA

Результаты и их обсуждение. Получены следующие параметры УТД, имплементированного в ПЛИС XC3S500E: количество входов-выходов 56 из 158 (35 %); число синхросигналов GCLKs 4 из 24 (16 %); минимальный период 14,764 нс (максимальная частота 67,732 МГц); потребляемая мощность 159 мВт; емкость памяти конфигурации проекта 188 МВ.

Для проверки работоспособности проекта УТД выполнено его моделирование в различных режимах работы. Временная диаграмма формирования сигнала Dqs_w в режиме записи пакета данных приведена на рис.4,а.

Частота сигнала Clk_shift в два раза выше, чем частота сигнала CLK_1. С использованием двухразрядного счетчика формируются сигналы CED_k0 и CED_k1, которые разделяют период УТД на четыре полупериода. По команде ACom_k=40 УТД выдает сигнал записи, разрешающий формирование сигнала Dqs_w. В режиме считывания данных микросхема памяти формирует сигнал Dqs_k, фронты которого совпадают с фронтами считанных данных D_out_k. Однако преобразовать строб Dqs_k для приема

считанных данных операторами задержки WAIT FOR и after невозможно, так как программируемые линии задержки не реализуются в интегральном исполнении. Для приема считанных данных УТД формирует сигнал R0@R1, разрешающий считывание данных в двух смежных тактах. С помощью группы D-триггеров сигнал R0@R1 преобразуется в сигнал R_ALG, активизирующий работу схемы, которая формирует стробирующие сигналы CER_0-CER_3. Эти сигналы определяют моменты приема считанных данных (рис.4,б).

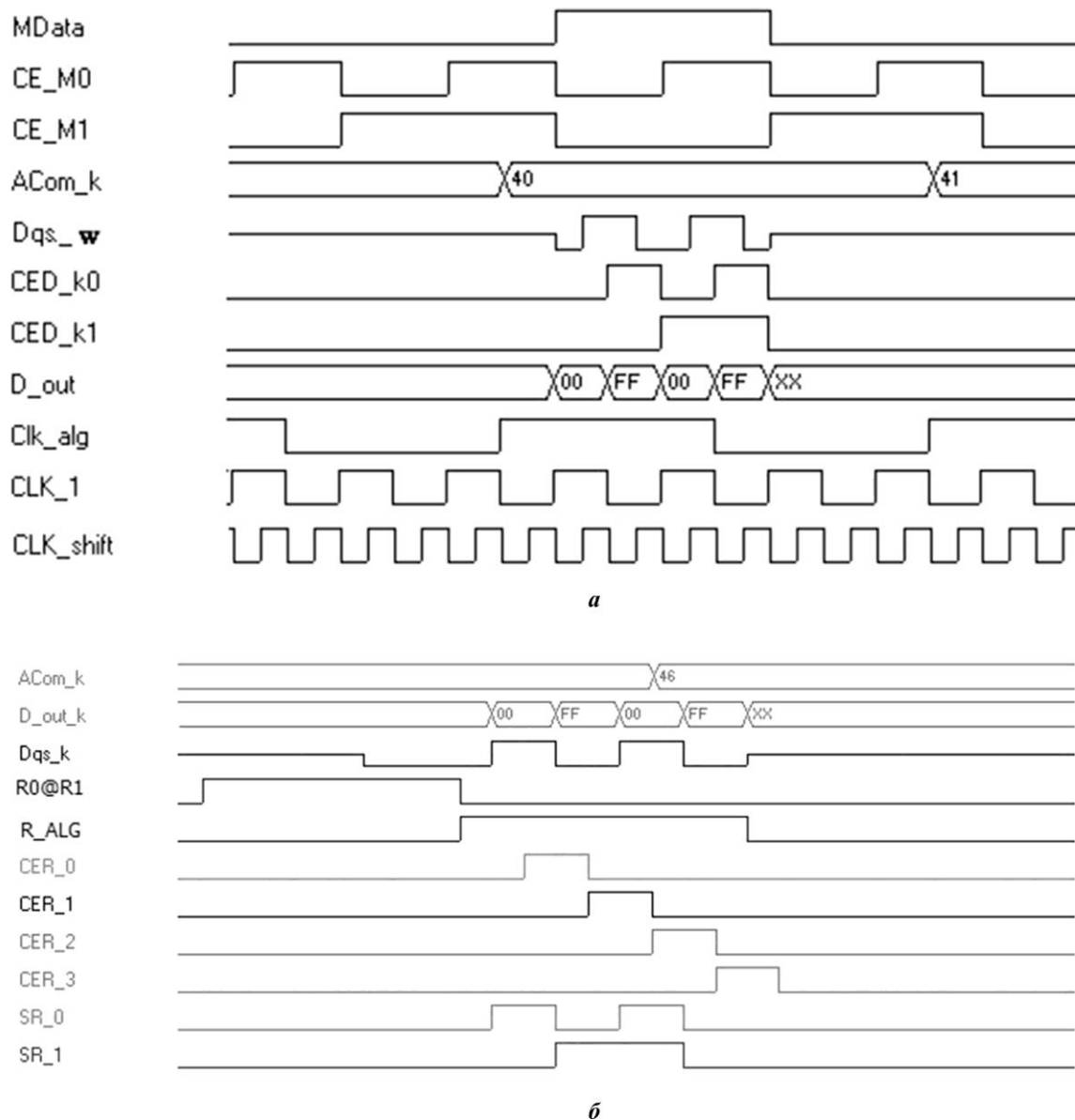


Рис.4. Временные диаграммы формирования сигнала Dqs_w (а) и сигналов CER_0-CER_3 (б)
 Fig.4. Time diagrams of the Dqs_w signal generation (a) and of the signals forming CER_0-CER_3 (b)

Закключение. Ввиду сложной и строгой логики управления и высоких требований к синхронизации необходима детальная разработка интерфейса УТД для его правильной реализации при подключении к памяти DDR SDRAM.

Проект УТД, выполняющего тестовое диагностирование памяти DDR SDRAM, реализован в интегральном исполнении, что позволяет уменьшить его габаритные раз-

меры и сократить материальные затраты на изготовление. При применении соответствующих драйверов, можно сформировать дифференциальные сигналы для подключения к УТД современных быстродействующих микросхем памяти LPDDR5-типа.

Литература

1. Белоусов С., Мёрдок Б. Особенности памяти LPDDR5 и ее поддержка // *Электроника: наука, технология, бизнес*. 2020. № 4 (195). С. 70–77. DOI: <https://doi.org/10.22184/1992-4178.2020.195.4.70.77>
2. DDR5/4/3/2: How Memory Density and Speed Increased with each Generation of DDR / *VIP Central* // SYNOPSYS: [Web] / Synopsys, Inc. 27.02.2019. URL: <https://blogs.synopsys.com/vip-central/2019/02/27/ddr5-4-3-2-how-memory-density-and-speed-increased-with-each-generation-of-ddr/> (дата обращения: 16.08.2020).
3. Махаджан Р. Принципы проектирования интерфейсов памяти, лежащие в основе перехода от DDR2 к DDR3 / пер. с англ. Г. Городецкой // *Компоненты и технологии*. 2010. № 9 (110). С. 135–138.
4. Islam M.A., Arafath M.Y., Hasan M.J. Design of DDR4 SDRAM controller // 8th International Conference on Electrical and Computer Engineering (ICECE). Dhaka: IEEE, 2014. P. 148–151. DOI: <https://doi.org/10.1109/ICECE.2014.7026950>
5. Bonatto A.C., Soares A.B., Susin A.A. DDR SDRAM controller IP designed for reuse // *Design & Reuse*: [Web] / Design and Reuse. 2014. URL: <https://www.design-reuse.com/articles/20146/ddr-sdram-controller-ip.html> (дата обращения: 06.04.2020).
6. Bonatto A.C., Soares A.B., Susin A.A. DDR SDRAM memory controller validation for FPGA synthesis // *LATW2008: Proceedings of the 9th IEEE Latin-American Test Workshop*. Puebla: IEEE, 2008. P. 177–182.
7. Sirisha G., Subhakararao B. Design and implementation of DDR SDRAM controller based on FPGA in satellite navigation system // *International Journal of Research in Advent Technology*. 2015. Vol. 3. No. 1. P. 90–95.
8. Евдокимов А.П., Рябцев В.Г., Меликов А.В. Принципы проектирования устройств тестового диагностирования быстродействующих микросхем и модулей полупроводниковой памяти // *Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС)*. 2018. № 2. С. 23–30. DOI: <https://doi.org/10.31114/2078-7707-2018-2-23-30>
9. Методы и средства повышения надежности модулей памяти компьютеров: монография / С.В. Волобуев, А.П. Евдокимов, А.В. Меликов и др. Волгоград: Волгоградский ГАУ, 2018. 280 с.
10. Ryabtsev V.G., Almadi M. New technology for memory tests design // *International Journal of Modern Trends in Engineering and Research*. 2015. Vol. 2. Iss. 7. P. 520–526.
11. Ryabtsev V., Evseev K., Almadi M. The concept of memory device diagnosis algorithm design // *Journal of Multidisciplinary Engineering Science and Technology (JMEST)*. 2016. Vol. 3. Iss. 10. P. 5771–5774.

Поступила в редакцию 24.02.2020 г.; после доработки 22.03.2021 г.; принята к публикации 14.04.2021 г.

Волобуев Сергей Васильевич – кандидат технических наук, доцент кафедры электрооборудования и электрохозяйства предприятий АПК Волгоградского государственного аграрного университета (Россия, 400002, г. Волгоград, Университетский пр-т, 26), sergey-aspir14@yandex.ru

Рябцев Владимир Григорьевич – доктор технических наук, профессор кафедры электрооборудования и электрохозяйства предприятий АПК Волгоградского государственного аграрного университета (Россия, 400002, г. Волгоград, Университетский пр-т, 26), akim.onoke@mail.ru

References

1. Belousov S., Murdock B. LPDDR5 features and support. *Elektronika: nauka, tekhnologiya, biznes = Electronics: Science, Technology, Business*, 2020, no. 4 (195), pp. 70–77. (In Russian). DOI: <https://doi.org/10.22184/1992-4178.2020.195.4.70.77>
2. Experts, V.I.P. DDR5/4/3/2: How memory density and speed increased with each generation of DDR: Synopsys. *VIP Central*. 27.02.2019. Available at: <https://blogs.synopsys.com/vip-central/2019/02/27/ddr5-4-3-2-how-memory-density-and-speed-increased-with-each-generation-of-ddr/> (accessed: 16.08.2020).

3. Mahajan R. Memory design considerations when migrating to DDR3 interfaces from DDR2. *Design & Reuse*. 2010. Available at: <https://www.design-reuse.com/articles/15699/ddr3-ddr2-interfaces-migration.html> (accessed: 06.04.2020).
4. Islam M.A., Arafath M.Y., Hasan M.J. Design of DDR4 SDRAM controller. *8th International Conference on Electrical and Computer Engineering (ICECE)*, Dhaka, IEEE, 2014, pp. 148–151. DOI: <https://doi.org/10.1109/ICECE.2014.7026950>
5. Bonatto A.C., Soares A.B., Susin A.A. DDR SDRAM controller IP designed for reuse. *Design & Reuse*. 2014. Available at: <https://www.design-reuse.com/articles/20146/ddr-sdram-controller-ip.html> (accessed: 06.04.2020).
6. Bonatto A.C., Soares A.B., Susin A.A. DDR SDRAM memory controller validation for FPGA synthesis. *LATW2008: Proceedings of the 9th IEEE Latin-American Test Workshop*, Puebla, IEEE, 2008, pp. 177–182.
7. Sirisha G., Subhakararao B. Design and implementation of DDR SDRAM controller based on FPGA in satellite navigation system. *International Journal of Research in Advent Technology*, 2015, vol. 3, no. 1, pp. 90–95.
8. Evdokimov A.P., Ryabtsev V.G., Melikov A.V. Principles of designing devices for test diagnosing of high-speed microchips and semiconductor memory. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES) = Problems of Advanced Micro- i Nanoelectronic Systems Development (MES)*, 2018, no. 2, pp. 23–30. (In Russian). DOI: <https://doi.org/10.31114/2078-7707-2018-2-23-30>
9. Volobuyev S.V., Evdokimov A.P., Melikov A.V., Ryabtsev V.G., Shubovich A.A. *Methods and Means of Increasing the Reliability of Computer Memory Modules*, monograph. Volgograd, Volgograd State Agricultural University, 2018. 280 p. (In Russian).
10. Ryabtsev V.G., Almadi M. New technology for memory tests design. *International Journal of Modern Trends in Engineering and Research*, 2015, vol. 2, iss. 7, pp. 520–526.
11. Ryabtsev V., Evseev K., Almadi M. The concept of memory device diagnosis algorithm design. *Journal of Multidisciplinary Engineering Science and Technology (JMEST)*, 2016, vol. 3, issue 10, pp. 5771–5774.

Received 24.02.2020; Revised 22.03.2021; Accepted 14.04.2021.

Information about the authors:

Sergey V. Volobuev – Cand. Sci. (Eng.), Assoc. Prof. of the Electrical Equipment and Electrical Facilities of Agricultural Enterprises Department, Volgograd State Agrarian University (Russia, 400002, Volgograd, Universitetskiy ave., 26), sergey-aspir14@yandex.ru

Vladimir G. Ryabtsev – Dr. Sci. (Eng.), Prof. of the Electrical Equipment and Electrical Enterprises of Agriculture Department, Volgograd State Agrarian University (Russia, 400002, Volgograd, Universitetskiy ave., 26), akim.onoke@mail.ru

Информация для читателей журнала «Известия высших учебных заведений. Электроника»

Полные тексты статей журнала с 2009 по 2020 гг. доступны на сайтах
Научной электронной библиотеки: www.elibrary.ru и журнала «Известия
высших учебных заведений. Электроника»: <http://ivuz-e.ru>