

УДК 004.332.5

## **Исследование и разработка схемы последовательного доступа к flash-памяти**

*С.С. Карташёв, В.В. Лосев, Т.Ю. Крупкина*

*Национальный исследовательский университет «МИЭТ»*

## **Research and Development Circuit of Serial Access to Flash-Memory**

*S.S. Kartashev, V.V. Losev, T.U. Krupkina*

*National Research University of Electronic Technology, Moscow*

Рассмотрены варианты реализации схемы последовательного доступа к flash-памяти. Проанализированы преимущества и недостатки существующих решений. Представлен новый вариант схемы последовательного доступа к flash-памяти с улучшенными характеристиками.

*Ключевые слова:* схема последовательного доступа; flash-память; EEPROM.

The principal embodiments of implementing the circuit of serial access to flash-memory have been considered. The advantages and drawbacks of existing solutions have been analyzed. A new option of the circuit of serial access to flash-memory with eliminating the lacks inherent in the existing solutions has been presented.

*Keywords:* circuit of serial accesses to flash; flash-memory; EEPROM.

Технология flash-памяти приобретает в мире все большую популярность [1]. Это связано с преимуществами данной технологии: дешевизна, большой объем памяти, высокая скорость работы, низкое энергопотребление.

Существуют два основных типа flash-памяти, различающихся организацией архитектуры памяти, – NOR и NAND. NAND-память используется в повседневной жизни [2]. NOR-память применяется для более узких задач. Это память небольшого объема для встраивания в системы на кристалле, в основном используется в качестве конфигурационной памяти для зашивок программируемых логических интегральных схем, а также встроенной памяти различных микропроцессоров и микроконтроллеров.

В настоящей работе рассматривается наиболее распространенный тип доступа к NOR-памяти – последовательный доступ. Память с последовательным доступом ориентирована на хранение информации в виде последовательности блоков данных. Для доступа к нужному элементу (слову или байту) необходимо прочитать все предшествующие ему данные. Время доступа зависит от положения требуемой записи в последовательности записей на носителе информации и позиции элемента внутри данной записи. Для малых объемов памяти применение последовательного доступа позволяет существенно повысить быстродействие по сравнению с произвольным доступом, при котором каждая ячейка памяти имеет уникальный физический адрес и обращение к любой ячейке занимает одно и то же время.

В настоящее время в качестве схемы последовательного доступа применяются два наиболее распространенных решения – дешифратор и сдвиговый регистр [3, 4].

Основное преимущество использования дешифратора – простота аппаратной реализации и проектирования [5].

Существенный минус дешифратора, используемого в качестве схемы последовательного доступа, – внешнее цифровое управление. Например, для памяти объемом 1 Мбит потребуются дешифратор 10 в 1024. Как известно, контактные площадки на кристалле для внешнего цифрового управления занимают большую топологическую площадь, что недопустимо, так как основную часть кристалла памяти должна занимать матрица памяти, а схема управления должна быть минимальной по площади.

Регистр представляет собой цепь последовательно включенных триггеров, обычно D-типа, число которых соответствует числу разрядов в слове. В качестве схемы последовательного доступа применяются сдвигающие (последовательные) регистры. Они нашли широкое применение также в SPI-интерфейсах доступа к flash-памяти [6]. Несмотря на отсутствие внешнего цифрового управления в сдвиговом регистре, он имеет недостатки. На рис. 1 схематично изображено расположение схемы выборки (обозначено серым цветом) относительно матрицы памяти.

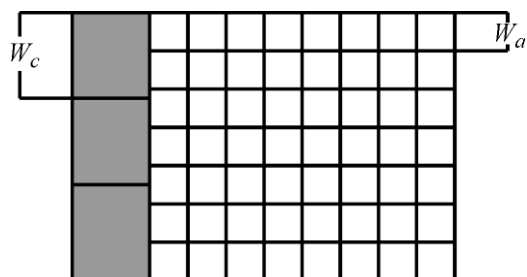


Рис. 1. Схематичное изображение кристалла памяти

Размер  $W_a$  соответствует ширине одной строки матрицы памяти, а размер  $W_c$  – ширине одного элемента сдвигового регистра. Очевидно, что для того чтобы площадь схемы выборки была оптимальной, должно выполняться условие  $W_c = W_a$ . В сдвиговом регистре данное условие не выполняется, кроме того, при проектировании сдвигового регистра необходимо использовать динамические триггеры, что увеличивает занимаемую устройством площадь.

Лучшее решение – объединить преимущества двух предложенных вариантов – простоту реализации схемы и отсутствие внешнего цифрового управления.

Предложенный модифицированный вариант реализации схемы последовательного доступа приведен на рис. 2.

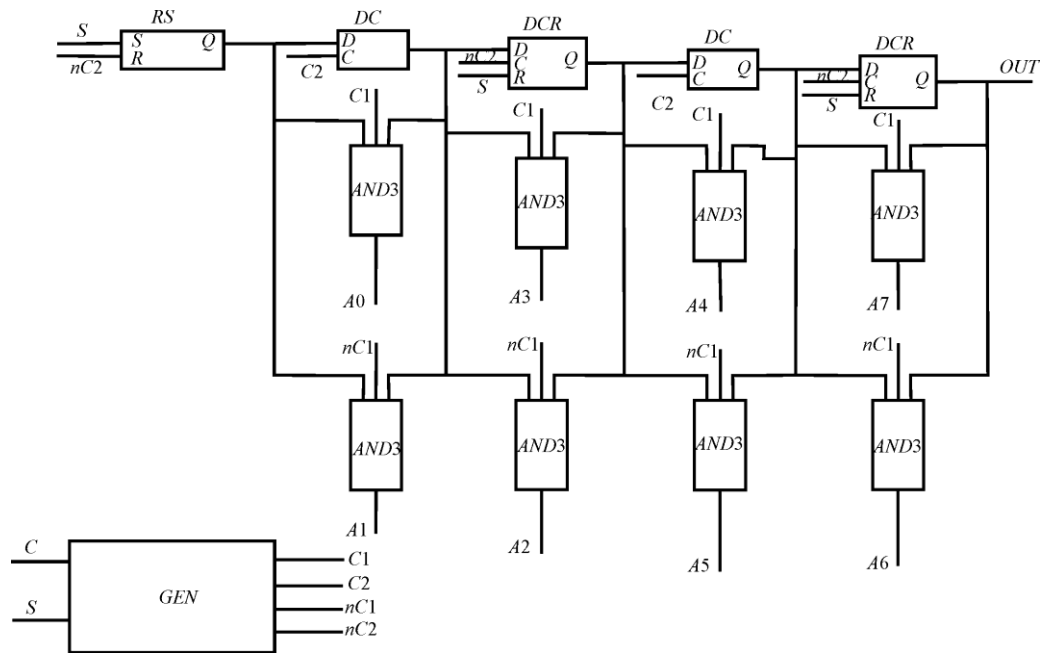


Рис.2. Схема считывания

Схема представляет собой набор последовательно соединенных  $D$ -триггеров (за исключением первого  $RS$ -триггера, который задает выборку первой строки), срабатывающих по уровню синхросигнала, что сразу же позволяет уменьшить топологическую площадь приблизительно в два раза по сравнению с использованием динамических триггеров. Каждый четный  $D$ -триггер снабжен сигналом сброса (Reset). Второй и третий ряды схемы представляют собой набор элементов ЗИ-НЕ. На второй ряд подается сигнал  $C1$ , на третий тоже, но с инверсией ( $nC1$ ). Триггеры управляются сигналами  $C2$  и  $nC2$ . Все четыре сигнала снимаются с делителя частоты на четыре, который управляется одним единственным синхросигналом  $C$ . Это очень удобно, поскольку схема выборки работает в двух режимах: режиме считывания с временем воздействия 25 нс и режиме записи-стирания с временем воздействия 2 мс. Время воздействия контролируется подачей синхросигнала с разной частотой ( 40 и 0,5 МГц соответственно). Результаты моделирования схемы считывания представлены на рис. 3. Схема разработана с использованием библиотек транзисторов, выполненных по классической КМОП-технологии 0,18 мкм.

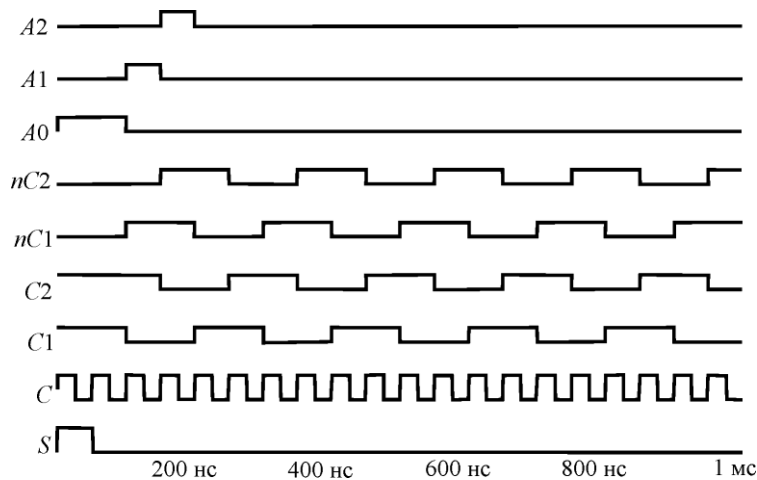


Рис.3. Результаты моделирования

Для уменьшения занимаемой на кристалле площади в схеме использованы одноступенчатые триггеры, построенные на проходных ключах, срабатывающие по уровню синхросигнала. Их применение позволяет уменьшить топологическую площадь примерно на 30% по сравнению с известными решениями (классический дешифратор на динамических триггерах и сдвиговый регистр на  $T$ -триггерах) ввиду использования меньшего количества транзисторов в электрической принципиальной схеме.

В результате совместного использования двух аппаратных реализаций способов выборки получена модифицированная схема, имеющая такие преимущества, как простота управления (схема управляется одним синхросигналом), минимальная занимаемая площадь (за счет использования одноступенчатых триггеров на проходной логике, срабатывающих по уровню синхросигнала), соответствие характерного топологического размера устройства считывания ширине строки матрицы памяти (выполнено условие  $W_a = W_c$ ).

Как недостаток схемы следует отметить сложную физико-топологическую реализацию сигнала Set, поскольку высокий логический уровень на данной шине имеет место только в течение первого периода работы схемы, а все остальное время должен быть строго низкий логический уровень и важно не вызывать ложных переключений.

*Работа выполнена при финансовой поддержке Минобрнауки России (госзадание № 2014/101)*

### Литература

1. *Brewer J.E., Gill M.* Nonvolatile memory technologies with emphasis on flash // IEEE Press Series on Microelectronic System. – 2008. – P. 757–779.
2. *Гольцова М.* Элементная база электроники // Электроника. – 2013. – Вып. 2. – С. 42–56.
3. *Клочков Г.Л.* Цифровые устройства и микропроцессоры. – Воронеж: ВИРЭ, 2005. – 320 с.
4. *Асмолов Г.И., Рожков В.М.* Цифровые интегральные микросхемы. Ч.2: Комбинационные схемы средней степени интеграции. – М.: МАДИ (ГТУ), 2007. – 73 с.
5. *Потехин В.А.* Схемотехника цифровых устройств – В-спектр. – Томск, 2012. – С. 286.
6. *Вельна О.* Современные 32-разрядные ARM-микроконтроллеры серии STM: последовательный интерфейс SPI // Современная электроника. – 2014. – Вып. 1. – С. 18–23.

Поступило после доработки 5 мая 2016 г.

**Карташев Сергей Сергеевич** – магистр технических наук, аспирант кафедры интегральной электроники и микросистем (ИЭМС) МИЭТ. *Область научных интересов:* проектирование энергонезависимой памяти, проектирование и моделирование блоков управления памятью, топологическое проектирование и моделирование. **E-mail:** [KartashevSS@yandex.ru](mailto:KartashevSS@yandex.ru)

**Лосев Владимир Вячеславович** – доктор технических наук, доцент кафедры ИЭМС МИЭТ. *Область научных интересов:* проектирование систем на кристалле, проектирование и моделирование аналоговых блоков, топологическое проектирование и моделирование.

**Крупкина Татьяна Юрьевна** – доктор технических наук, профессор кафедры ИЭМС МИЭТ. *Область научных интересов:* моделирование технологических процессов и интегральных приборов, методы проектирования интегральной элементной базы и микросистем.