

## Система помехоустойчивого кодирования на основе квазициклических кодов с низкой плотностью проверок на четность

*В.Н. Тикменов<sup>1</sup>, В.И. Ухандеев<sup>1,2</sup>, М.И. Собченко<sup>1,2</sup>, М.Ю. Денискин<sup>1</sup>*

<sup>1</sup>АО «НТЦ ЭЛИНС», г. Москва, Россия

<sup>2</sup>Национальный исследовательский университет «МИЭТ»,  
г. Москва, Россия

*sobchenkomaksim@mail.ru*

На сегодняшний день существует большое количество алгоритмов декодирования на основе квазициклического кода с низкой плотностью проверок на четность (QC-LDPC) и множество вариантов аппаратной реализации декодеров, основанных на данных алгоритмах. Каждый из них имеет свои преимущества и недостатки, связанные с эффективностью декодирования, количеством используемых аппаратных ресурсов и задержкой обработки входных данных. Цель работы – аппаратная реализация декодера QC-LDPC кода с конфигурируемым соотношением задержка/ресурсы. Рассмотрена структура квазициклического кода с низкой плотностью проверок на четность, приведенного в стандарте IEEE 802.11ad. Проведено сравнение возможных вариантов реализации кодера и декодера для данного кода и описан наиболее подходящий из них для аппаратной реализации в системах связи. В Matlab реализована модель системы помехоустойчивого кодирования: кодер QC-LDPC, канал с аддитивным белым гауссовым шумом, декодер QC-LDPC. На основе данной модели построен график зависимости вероятности ошибки на бит от отношения сигнал/шум для рассматриваемого кода. Рассмотренный метод помехоустойчивого кодирования характеризуется меньшей задержкой и большей эффективностью декодирования при одинаковом размере кодового слова по сравнению с другими методами.

**Ключевые слова:** помехоустойчивое кодирование; LDPC; QC-LDPC; IEEE 802.11ad; SNR; BER; АБГШ; Matlab

**Для цитирования:** Тикменов В.Н., Ухандеев В.И., Собченко М.И., Денискин М.Ю. Система помехоустойчивого кодирования на основе квазициклических кодов с низкой плотностью проверок на четность // Изв. вузов. Электроника. – 2018. – Т. 23. – № 4. – С. 399–409. DOI: 10.24151/1561-5405-2018-23-4-399-409

## **System of Noise Resistant Coding Based on Quasi-Cyclic Low-Density Parity-Check Codes**

*V.N. Tikmenov<sup>1</sup>, V.I. Uhandeev<sup>1,2</sup>, M.I. Sobchenko<sup>1,2</sup>, M.Y. Deniskin<sup>1</sup>*

<sup>1</sup>*JSC «STC ELINS», Moscow, Russia*

<sup>2</sup>*National Research University of Electronic Technology, Moscow, Russia*

*sobchenkomaksim@mail.ru*

**Abstract:** Nowadays, a big number of the decoding algorithms of the quasi-cyclic low-density parity-check code (QC-LDPC) and many variants of the apparatus implementation, based on the given algorithms, exist. Each of them has its advantages and drawbacks, related to the decoding efficiency, with the number of used apparatus resources and with a delay of the input data processing. The purpose of this paper is hardware implementation of QC-LDPC decoder with configurable latency and hardware resources. The structure of the low-density quasi-cyclic parity-check code, presented in the standard IEEE 802.11ad, has been considered. The comparison of possible variants of the coder realization in the communications system has been performed. In MATLAB the model of the noise resistant coding system: QC-LDPC coder, the channel with additive white Gauss noise, the QC-LDPC decoder, has been implemented. Based on the given model the graph of the signal-to-noise ratio for the code being considered has been plotted. The noise resistant coding method considered is characterized by a lower delay and higher efficiency of decoding with equal size of the code word compared to other methods.

**Keywords:** ECC; LDPC; QC-LDPC; IEEE 802.11ad; SNR; BER; AWGN channel, Matlab

**For citation:** Tikmenov V.N., Uhandeev V.I., Sobchenko M.I., Deniskin M.Y. System of noise resistant coding based on quasi-cyclic low-density parity-check codes. *Proc. Univ. Electronics*, 2018, vol. 23, no. 4, pp. 399–409. DOI: 10.24151/1561-5405-2018-23-4-399-409

**Введение.** Системы связи и вещания, в частности беспроводные системы, часто подвержены помехам. Наиболее эффективными среди помехоустойчивых кодов являются коды с низкой плотностью проверок на четность (low-density parity-check, LDPC), предложенные Галлагером [1]. Высокая эффективность этих кодов достигается при использовании алгоритма декодирования, итеративно вычисляющего распределение вероятностей в граф-ориентированной модели и известного в литературе как «min-sum algorithm» (MSA) [2]. В настоящее время квазициклические коды с низкой плотностью проверок на четность (quasi-cyclic low-density parity-check, QC-LDPC) используются в таких стандартах, как WiMAX (IEEE 802.16), WLAN (IEEE 802.11) и WPAN (IEEE 802.15.3).

В настоящей работе предложена аппаратная реализация декодера QC-LDPC кода с конфигурируемым соотношением задержка/ресурсы.

**Основные определения.** QC-LDPC коды определяются своими проверочными матрицами. Проверочная матрица QC-LDPC кода задается как массив циркулянтов (перестановочных матриц) одного и того же размера. Циркулянт [3] представляет собой квадратную матрицу размера  $b \times b$ , в которой каждая последующая строка является результатом



Здесь  $g_{ij}$  – генераторы (первые строки) циркулянтов размера  $42 \times 42$  порождающей матрицы.

Возможность представления порождающей и проверочной матриц QC-LDPC кода в рассмотренном виде позволяет существенно уменьшить аппаратные затраты при реализации кодера и декодера.

**Реализация кодера.** Пусть  $v$  – кодовое слово помехоустойчивого кода,  $u$  – вектор из информационных бит, которые необходимо закодировать. Тогда справедливо соотношение

$$v = u \cdot G.$$

Таким образом, кодирование представляет собой умножение вектора информационных бит  $u$  на порождающую матрицу  $G$ . Реализовать эту операцию можно с помощью модифицированной схемы аппаратного умножения двоичного вектора на двоичную матрицу (рис.1) [5].

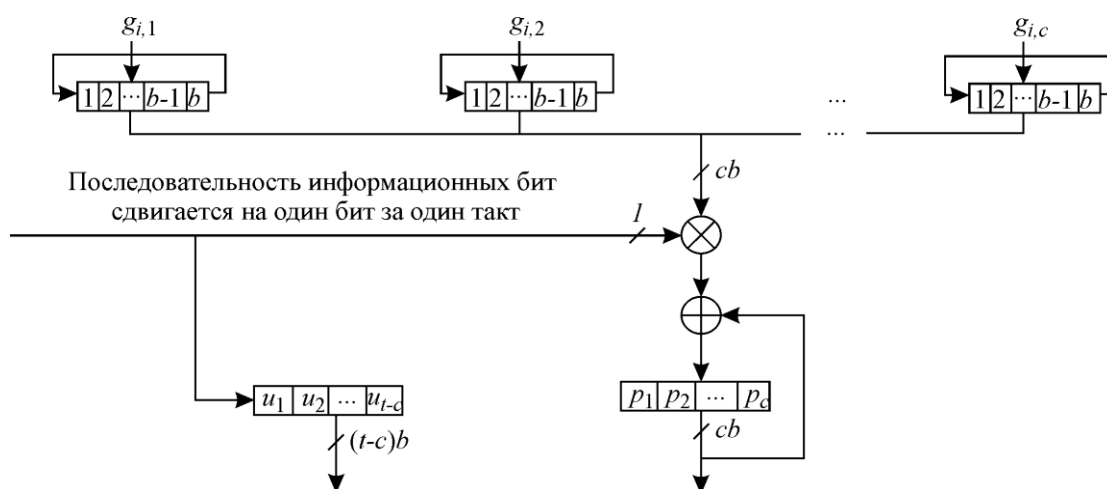


Рис.1. Кодер QC-LDPC  
Fig.1. QC-LDPC encoder

В основе кодера лежат циклические сдвигающие регистры, которые первоначально загружаются генераторами  $g_{ij}$  и в процессе последовательных сдвигов реализуют циркулянты. Кодер передает информационные биты на выход как биты кодового слова. Одновременно кодер вычисляет проверочные биты  $p_j$ ,  $j = 1, \dots, c \cdot b$ , путем последовательного умножения циркулянтов на группы информационных бит.

Сначала циклические сдвигающие регистры длиной  $b$  загружаются генераторами (первая строка циркулянтов  $g_{11}, g_{12}, \dots, g_{1c}$  матрицы  $G$ ). Для каждого информационного бита  $a_i$ ,  $i = 1, \dots, (t - c) \cdot b$ , эти регистры циклически сдвигаются один раз. Если  $a_i = 1$ , то выполняется операция XOR и результат загружается в выходной регистр (проверочные биты). Когда операция перемножения циркулянтов на информационные биты группы завершена, следующие генераторы  $g_{21}, g_{22}, \dots, g_{2c}$  загружаются в регистры сдвига и операция повторяется. Процесс кодирования завершается, когда последняя группа циркулянтов перемножается на последнюю группу информационных бит. После кодирования все проверочные биты находятся в выходном регистре.

Благодаря использованию циклических сдвигающих регистров нет необходимости хранить каждую строку порождающей матрицы отдельно в памяти, что позволяет существенно снизить аппаратные затраты.

**Алгоритм декодирования.** В качестве алгоритма декодирования QC-LDPC кодов предлагается использовать одну из модификаций MSA, так как в отличие от других алгоритмов [6] он не требует вычисления сложных математических функций и использует меньше ресурсов.

Введем следующие обозначения для описания алгоритма:

- $N(i) = \{j : H_{ij} = 1\}$  – группа номеров символьных узлов графа Таннера проверочной матрицы QC-LDPC кода, которые связаны с  $i$ -м проверочным узлом;
- $N(i) \setminus j = \{j' : H_{ij'} = 1, j' \neq j\}$  – группа номеров символьных узлов, которые связаны с  $i$ -м проверочным узлом, исключая узел с номером  $j$ ;
- $M(j) = \{i : H_{ij} = 1\}$  – группа номеров проверочных узлов, которые связаны с  $j$ -м символьным узлом;
- $M(j) \setminus i = \{i' : H_{ij'} = 1, i' \neq i\}$  – группа номеров проверочных узлов, которые связаны с  $j$ -м символьным узлом, исключая узел с номером  $i$ ;
- $c_j$  – биты кодового слова QC-LDPC кода, которое требуется декодировать;
- $y_j$  – символы из канала связи, соответствующие  $c_j$  (предполагается использование двоичной фазовой модуляции BPSK);
- $R_{ij}$  – число, показывающее вероятность того, что уравнение, задаваемое  $i$ -й строкой проверочной матрицы, удовлетворяется, если  $c_j = 0$  при заданных значениях  $Q_{ji}, j' \in N(i) \setminus j$ ;
- $Q_{ji}$  – число, показывающее вероятность того, что  $c_j = 0$  при заданных значениях  $R_{ij}, i' \in M(j) \setminus i$ ;
- $P_j$  – число, показывающее вероятность того, что  $c_j = 0$ .

Декодирующий алгоритм включает следующие основные этапы:

1. Инициализация: для всех  $j = 0, 1, \dots, n-1$

$$Q_{ji} = y_j.$$

2. Для всех  $i$  и  $j$  вычислить  $R_{ij}$ :

$$R_{ij} = \prod_{j' \in N(i) \setminus j} \text{sign}(Q_{ji'}) \cdot \max \left\{ \min_{j' \in N(i) \setminus j} |Q_{ji'}| - \beta, 0 \right\}. \quad (1)$$

3. Для всех  $j$  и  $i$  вычислить  $Q_{ji}$ :

$$Q_{ji} = y_j + \sum_{i' \in M(j) \setminus i} R_{ij'}. \quad (2)$$

4. Для всех  $j$  вычислить  $P_j$ :

$$P_j = y_j + \sum_{i \in M(j)} R_{ij}. \quad (3)$$

5. Проверить кодовое слово  $c = [c_0, \dots, c_{n-1}]$ , где  $c_j = 1$ , если  $P_j \leq 0$ , иначе  $c_j = 0$ .

Если  $c \cdot H^T = 0$  или число итераций равно максимальному пределу, то алгоритм останавливается, иначе – переход к этапу 2.

Одним из недостатков алгоритма является использование процедуры сортировки (вычисление минимума в (1)), что приводит к уменьшению пропускной способности декодера. Чем меньше максимальное число единиц в строках проверочной матрицы, тем меньше требуется времени на сортировку. Для вычисления  $R_{ij}$  для всех  $j$  достаточно найти  $\min_{j' \in N(i)} |Q_{ji}|$ , его индекс  $j'$  и следующий за ним элемент по возрастанию (назовем его вторым минимумом). Это можно использовать для уменьшения количества компараторов. Константа  $\beta$  в выражении (1) определяется с учетом достижения максимальной эффективности декодера при заданном отношении сигнал/шум и кодовой скорости применяемого кода.

Среди возможных аппаратных реализаций декодера можно выделить четыре [7].

*Параллельная реализация.* Данная реализация основывается на специальной структуре или свойствах проверочной матрицы кода и применима абсолютно для всех классов LDPC кодов, непосредственно реализуя алгоритм декодирования. В этом случае каждому проверочному и символьному узлу матрицы  $H$  соответствует отдельный аппаратный блок, выполняющий необходимые операции на каждой итерации алгоритма. Все сообщения проверочных и символьных узлов вычисляются одновременно, что позволяет выполнять одну итерацию алгоритма за один такт работы цифрового аппаратного блока. Вследствие этого достигаются наибольшая пропускная способность и наименьшее время задержки на декодирование. Недостатком данного подхода является то, что реализация каждого узла в виде отдельного аппаратного блока требует наибольшего количества аппаратных ресурсов и существенно усложняет процедуру трассировки декодера вследствие большого количества связей между блоками.

*Последовательная реализация.* В отличие от предыдущей последовательная реализация требует один аппаратный блок для всех проверочных узлов и один для символьных, которые выполняют все операции алгоритма декодирования. Все сообщения вычисляются последовательно, вследствие чего пропускная способность декодера очень низкая и задержка декодирования достигает больших значений. Также требуется сложный блок коммутации для вычислений сообщений символьных и проверочных узлов. Преимуществом данного подхода является малое количество аппаратных затрат.

Рассмотренные реализации из-за большого количества используемых аппаратных ресурсов или большой задержки сложны для реализации в реальных системах связи. Поэтому применяются другие реализации, учитывающие структуру проверочной матрицы QC-LDPC кода.

*Слоистая реализация.* Проверочную матрицу можно разделить на четыре слоя таким образом, чтобы столбец каждого слоя имел вес не более чем 1 (рис.2).

На каждой подытерации алгоритма обновляются только те символьные и проверочные узлы, которые относятся к текущему слою. Так как все слои рассматриваемого кода имеют вес столбца меньше либо равный 1, то каждая подытерация может быть гарантированно выполнена за один такт работы цифрового аппаратного блока без возникновения коллизии при вычислении сообщений. При этом между подытерациями аппаратные блоки проверочных узлов повторно используются. Для рассматриваемого кода их число сокращается в 4 раза по сравнению с параллельным декодером. Блок коммутации символьных и проверочных узлов является переконфигурируемым, т.е. изменяющим связи между кодовыми и проверочными узлами каждый такт в зависимости от номера обрабатываемого слоя. Данный подход позволяет сократить число используемых аппаратных ресурсов, но их количество по-прежнему остается большим.

Слой 1	40	-1	38	-1	13	-1	5	-1	18	-1	-1	-1	-1	-1	-1	Слой 2	
	34	-1	35	-1	27	-1	-1	30	2	1	-1	-1	-1	-1	-1		
Слой 3	-1	36	-1	31	-1	7	-1	34	-1	10	41	-1	-1	-1	-1	Слой 4	
	-1	27	-1	18	-1	12	20	-1	-1	-1	15	6	-1	-1	-1		
	35	-1	41	-1	40	-1	39	-1	28	-1	-1	3	28	-1	-1		
	29	-1	0	-1	-1	22	-1	4	-1	28	-1	27	-1	23	-1		
	-1	31	-1	23	-1	21	-1	20	-1	-1	12	-1	-1	0	13	-1	
	-1	22	-1	34	31	-1	14	-1	4	-1	-1	-1	13	-1	22	24	

Рис.2. Слои проверочной матрицы QC-LDPC кода  
Fig.2. Layers of QC-LDPC code parity-check matrix

*Последовательно-параллельная реализация.* Данная реализация является промежуточным вариантом между параллельной и последовательной и доступна для рассматриваемого кода вследствие квазициклической структуры его проверочной матрицы. В этом случае количество вычислительных блоков для символьных и проверочных узлов совпадает с количеством столбцов и строк проверочной матрицы в форме массива циркулянтов соответственно. В результате их количество снижается в  $b = 42$  раза по сравнению с параллельным декодером. Каждая итерация алгоритма декодирования в этом случае будет выполняться  $b$  тактов. Переход между узлами в одном циркулянте осуществляется последовательно с помощью счетчиков. Размер циркулянта  $b$  можно сделать либо больше, увеличивая аппаратные затраты и уменьшая задержку декодера, либо меньше, соответственно уменьшая аппаратные затраты и увеличивая задержку декодера. Таким образом, данный способ реализации декодера является наиболее гибким по сравнению с остальными и с помощью него можно добиться сравнительно малого использования аппаратных ресурсов, сохраняя при этом приемлемую задержку.

Рассмотрим схемы вычисления  $R_{ij}$  (рис.3),  $Q_{ji}$  (рис.4) и  $P_j$  (рис.5) для рассматриваемой проверочной матрицы в случае последовательно-параллельной реализации декодера.

**Структура и характеристики системы помехоустойчивого кодирования.** На рис.4 представлена структурная схема рассматриваемой системы помехоустойчивого кодирования.

В Matlab реализована модель кодера, декодера и канала связи с аддитивным белым гауссовым шумом. Для определения эффективности системы проведен эксперимент.

Для набора значений отношения сигнал/шум в канале (от 1,4 до 2,6 дБ с шагом 0,2 дБ) на вход QC-LDPC кодера последовательно подавались 1000 336-битных информационных сообщений. После кодирования каждое из них поступало в BPSK модулятор, который переводил их в пакеты из 672 BPSK символов ( $0 \rightarrow +1$ ,  $1 \rightarrow -1$ ). Данные символы проходили через канал с аддитивным белым гауссовым шумом с заданным отношением сигнал/шум, в котором BPSK символы суммировались со значениями

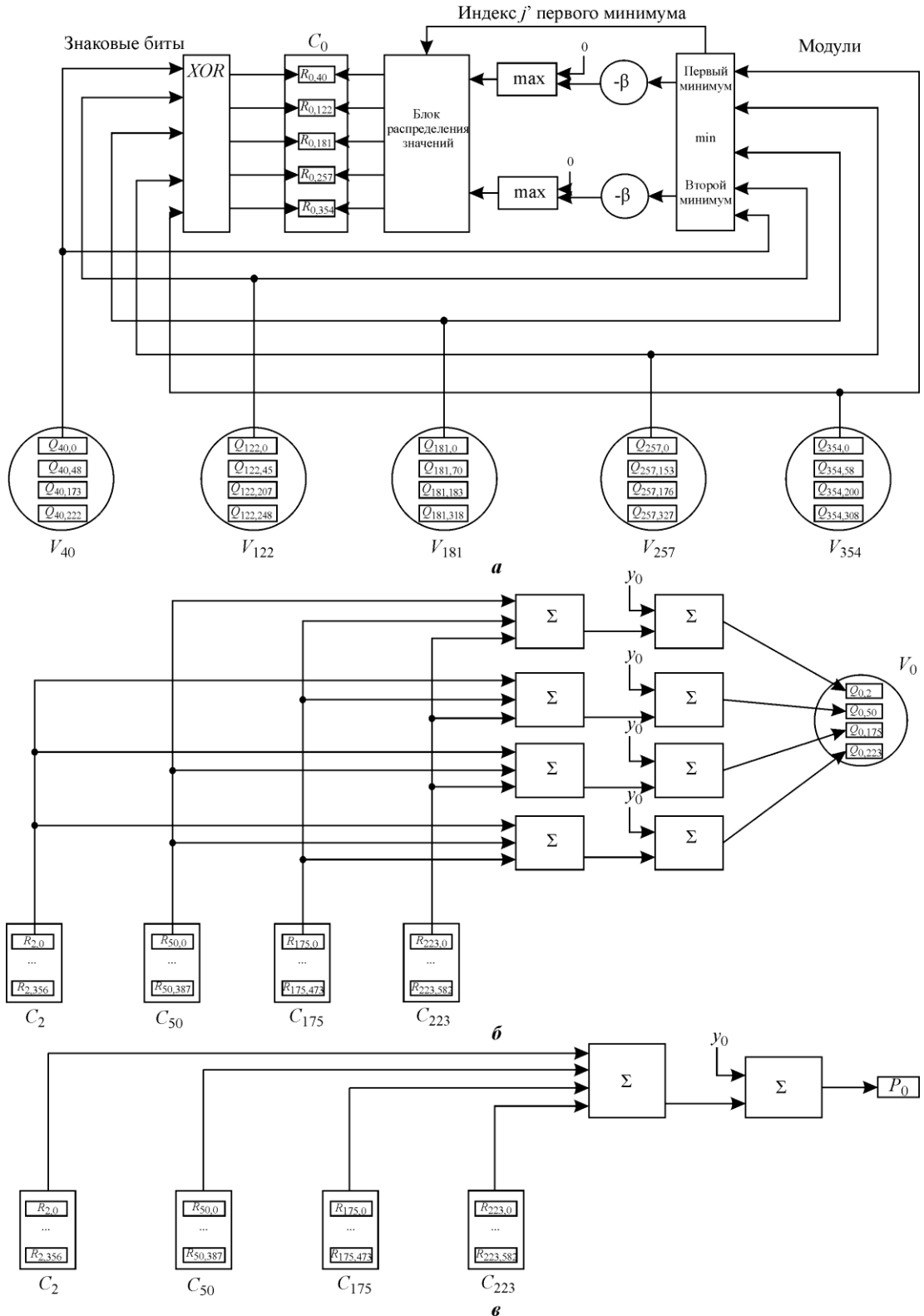


Рис.3. Схема вычисления: а –  $R_{ij}$  при  $i = 0$  ( $c = 8$  для всех  $i$ ); б –  $Q_{ij}$  при  $j = 0$  ( $t = 16$  для всех  $j$ ); в –  $P_j$  при  $j = 0$  ( $t = 16$  для всех  $j$ , но если необходимо рассчитывать только информационные биты  $t$ , то  $c = 8$ )  
 Fig.3. Calculation scheme: а –  $R_{ij}$  for  $i = 0$  (the number of such schemes is  $c = 8$ ); б –  $Q_{ij}$  for  $j = 0$  (the number of such schemes is  $t = 16$ ); в –  $P_j$  for  $j = 0$  (the number of such schemes is  $t = 16$ , but if it is necessary to determine only information bits –  $t - c = 8$ )



Рис.4. Структурная схема системы помехоустойчивого кодирования на основе QC-LDPC кодов  
 Fig.4. Structural scheme of the quasi-cyclic low-density parity-check codes error correction system

случайной величины, имеющей нормальное распределение и дисперсию, соответствующую отношению сигнал/шум в канале. Полученные пакеты из зашумленных BPSK символов после дискретизации по уровню (каждый символ переводился в 8 бит: 1-й бит – знаковый, 2-й – бит целой части, остальные биты – дробной части) подавались на вход QC-LDPC декодера со значением корректирующей константы  $\beta = 0,15$ .

После 10, 20, 30 и 40 итераций декодирования QC-LDPC декодер выдавал декодированные информационные сообщения, в которых вычислялось количество неправильных бит. Получившиеся числа для одного значения итераций и одного отношения сигнал/шум суммировались, делились на длину сообщения (336 бит), умноженную на количество сообщений (1000), и записывались в память. Данные числа представляли собой приближенные значения вероятности ошибки на бит (BER) для конкретных количества итераций декодера и отношения сигнал/шум.

В итоге на основе вычисленных при моделировании значений построен график (рис.5). Эффективность декодирования с ростом числа итераций увеличивается, что соответствует принципу итеративного вероятностного декодирования, лежащего в основе MSA.

**Сравнительный анализ с существующими методами кодирования.** Предлагаемая система помехоустойчивого кодирования на основе QC-LDPC кодов позволяет передавать информацию при отношении сигнал/шум в канале связи не ниже 2,6 дБ с  $BER = 10^{-5}$ . Сравним ее с аналогичными системами, описанными в [8] и [9].

Вероятность ошибки на бит системы помехоустойчивого кодирования турбокодами со скоростью 1/2, описанной в работе [8], достигает  $10^{-5}$  практически при том же отношении сигнал/шум, но при большем размере кодового слова (1024 бит по сравнению с 672 бит предлагаемой системы). При этом алгоритм декодирования турбокода (LOG-MAP) требует большего количества операций и, соответственно, декодер будет иметь большую задержку. Система помехоустойчивого кодирования в работе [9], использующая каскад кода Рида – Соломона и сверточного кода, декодирует данные с вероятностью ошибки на бит  $10^{-5}$  при отношении сигнал/шум 2,2 дБ. Однако скорость кода немного меньше чем 1/2 из-за избыточности, вносимой внешним кодом Рида – Соломона, размер кодового слова при этом больше (510 байт = 4080 бит против 672 бит). Также отметим сложность реализации декодера Рида – Соломона из-за использования

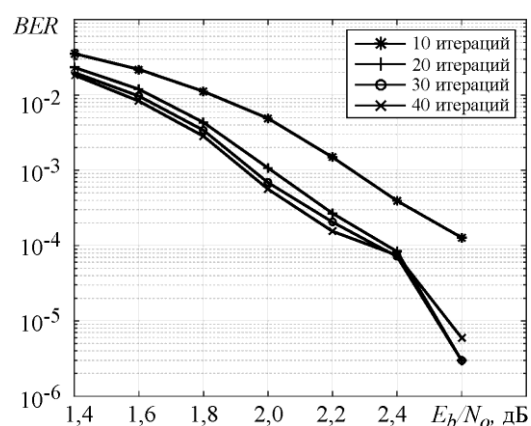


Рис.5. Зависимость вероятности ошибки на бит (BER) от отношения сигнал/шум ( $E_b/N_0$ ) и количества итераций декодера

Fig.5. Dependence bit error probability (BER) on signal-to-noise ratio ( $E_b/N_0$ ) and decoder iterations number

вычислений в GF(8), большие аппаратные затраты декодера Витерби с евклидовой метрикой и необходимость использования перемежителя для повышения эффективности системы помехоустойчивого кодирования.

**Заключение.** Предложенная система помехоустойчивого кодирования на основе QC-LDPC кодов имеет следующие преимущества: меньшая задержка по сравнению с системой, описанной в [8], большая эффективность декодирования при одинаковом размере кодового слова по сравнению с системами, рассмотренными в [8] и [9]. Недостатки заключаются в большей задержке и значительных аппаратных затратах по сравнению с системами [8] и [9] соответственно.

### Литература

1. **Gallager R.G.** Low-density parity-check codes. – Cambridge: MIT Press, 1963. – 90 p.
2. Reduced-complexity decoding of LDPC codes / **J. Chen, A. Dholakia, E. Eleftherior et al.** // IEEE Trans. on Communications. – 2005. – Vol. 53. – P. 1288–1298.
3. Efficient encoding of quasi-cyclic low-density parity-check codes / **Z. Li, L. Chen, L. Zeng et al.** // IEEE Trans. Commun. – 2005. – Vol. 54. – No. 1. – P. 71–81.
4. **Khodaiemehr H., Sadeghi M.-R., Sakzad A.** Practical encoder and decoder for power constrained QC LDPC-lattice codes // IEEE Trans. on Commun. – 2016. – Vol. PP. – No. 99. – P. 7.
5. **Lin S.** Quasi-cyclic LDPC Code // CCSDS Working Group White Paper. – Oct. 2003. – P. 1–5.
6. **Chen J., Fossorier M.P.C.** Near optimum universal belief propagation based decoding of low-density parity check codes // IEEE Trans. on Communications. 2002. – Vol. 50. – P. 406–414.
7. Сравнительный анализ аппаратных архитектур декодера LDPC кодов для систем радиосвязи IEEE 802.11ad / **А.А. Шевченко, Р.О. Масленников, А.А. Мальцев и др.** // Проблемы разработки перспективных микро- и наноэлектронных систем. – 2014. – № 4. – С. 3–4.
8. **Zhu P., Zhu J., Liu X.** A study on turbo code performance based on AWGN channel // Iete J. of Research. – 2013. – No. 347–350. – P. 1720–1726.
9. **Thomadakis P., Argyriou A.** Reed-Solomon and concatenated codes with applications in space communication // CoRR. – Aug. 2016. – P. 48.

Поступила 26.03.2018 г.; принята к публикации 24.04.2018 г.

**Тикменов Василий Николаевич** – доктор технических наук, генеральный директор АО «НТЦ ЭЛИНС» (Россия, 124460, г. Москва, г. Зеленоград, Панфиловский пр-т, д.10), tikmenov@mail.ru

**Ухандеев Владимир Ильич** – кандидат технических наук, начальник отделения АО «НТЦ ЭЛИНС» (Россия, 124460, г. Москва, г. Зеленоград, Панфиловский пр-т, д.10), доцент Института микроприборов и систем управления Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д. 1), wladimiru@rambler.ru

**Собченко Максим Иванович** – начальник отдела АО «НТЦ ЭЛИНС» (Россия, 124460, г. Москва, г. Зеленоград, Панфиловский пр-т, д.10), аспирант Института микроприборов и систем управления Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д. 1), sobchenkomaksim@mail.ru

**Денискин Михаил Юрьевич** – техник-электроник АО «НТЦ ЭЛИНС» (Россия, 124460, г. Москва, г. Зеленоград, Панфиловский пр-т, д.10), misha\_den@mail.ru

### References

1. Gallager R.G. *Low-density parity-check codes*. MIT Press, Cambridge, MA, 1963. 90 p.
2. Chen J., Dholakia A., Eleftherior E., Fossorier M.P.C., Xiao-Y. Hu. Reduced-complexity decoding of LDPC codes. *IEEE Trans. On Communications*, August 2005, vol. 53, pp. 1288–1298.
3. Li Z., Chen L., Zeng L., Lin S., and W.-H. Fong. Efficient encoding of quasi-cyclic low-density parity-check codes. *IEEE Trans. Commun.*, Jan. 2005, vol. 54, no. 1, pp. 71–81.
4. Khodaiemehr H., Sadeghi M.-R., and Sakzad A. Practical encoder and decoder for power constrained QC LDPC-lattice codes. *IEEE Trans. On Commun.*, 2016, vol. PP, no. 99, p. 7.
5. Lin S. Quasi-cyclic LDPC code. *CCSDS working group white paper*. Oct. 2003, pp. 1–5.
6. Chen J., Fossorier M.P.C. Near optimum universal belief propagation based decoding of low-density parity check codes. *IEEE Trans. On Communications*, March 2002, vol. 50, pp. 406–414.
7. Shevchenko A.A., Maslennikov R.O., Maltsev A.A., Panteleev M.V., Klyuev A.F., Vetchinkin A.G. Comparative analysis of different hardware decoder architectures for IEEE 802.11ad LDPC code. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem*, 2014, no. 4, pp. 3–4.
8. Zhu P., Zhu J., Liu X. A Study on turbo code performance based on AWGN channel. *Iete Journal of Research*, 2013, no. 347–350, pp. 1720–1726.
9. Thomadakis P., Argyriou A. Reed-solomon and concatenated codes with applications in space communication. *CoRR*, Aug. 2016, p. 48.

Submitted 26.03.2018; Accepted 24.04.2018.

#### **Information about the authors:**

**Vasily N. Tikmenov** – Dr. Sci. (Eng.), General Director of JSC «STC ELINS» (Russia, 124460, Moscow, Zelenograd, Panfilovskiy prospekt, 10), tikmenov@mail.ru

**Vladimir I. Uhandeev** – Cand. Sci. (Eng.), Head of JSC «STC ELINS» department (Russia, 124460, Moscow, Zelenograd, Panfilovskiy prospekt, 10), Assoc. Prof. of the Institute of Microdevices and Control Systems, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq.,1), wladimiru@rambler.ru

**Maxim I. Sobchenko** – Head of JSC «STC ELINS» sector (Russia, 124460, Moscow, Zelenograd, Panfilovskiy prospekt, 10), PhD student of the Institute of Microdevices and Control Systems, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq.,1), sobchenkomaksim@mail.ru

**Michael Yu. Deniskin** – electronics technician of JSC «STC ELINS» (Russia, 124460, Moscow, Zelenograd, Panfilovskiy prospekt, 10), misha\_den@mail.ru