

Автоматизация проектирования библиотек стандартных элементов на основе параметризованных ячеек в САПР Cadence

Т.Ю.Крупкина, В.В.Лосев, Н.Н.Муханюк, М.Г.Путря

Московский государственный институт электронной техники
(технический университет)

Рассмотрены направления развития научно-образовательных программ в области проектирования микроэлектронных устройств, подчеркнута значимость вовлечения студентов и аспирантов в научную работу в области проектирования. Исследованы проблемы проектирования библиотек стандартных элементов, предложены пути автоматизации на основе параметрических ячеек и применения методов оптимизации. Представлен прототип параметрической ячейки инвертора, выполненный в соответствии с предлагаемой теоретической базой.

Развитие научно-образовательной программы Российско-американского Института проектирования приборов и систем Cadence, осуществляемой в МИЭТ, направлено на создание эффективной системы подготовки научных кадров на основе новейших инструментов автоматизированного проектирования ИС с целью обеспечения ускоренного развития российской электроники по важнейшим приоритетным направлениям, в том числе в области разработки новейшей элементной базы микроэлектроники и микросистемной техники. Для решения этой задачи необходимо на основе кооперации с ведущими мировыми компаниями сформировать научно-исследовательскую обучающую платформу для подготовки научных кадров, обеспечивающую активное вовлечение студентов и аспирантов в процесс актуальных и практически значимых научных исследований [1].

Развитие научно-методической базы по подготовке аспирантов и студентов в области микроэлектроники и микросистемной техники основывается на результатах научно-исследовательских работ, проводимых по перспективным направлениям исследований с использованием новейших программных и аппаратных средств.

Одним из приоритетных научных направлений как у нас в стране, так и за рубежом является развитие методов проектирования и моделирования элементной базы микроэлектроники. Анализ современных СБИС и систем на кристалле содержит значительное число вычислительных этапов (итераций). При этом используются средства и методы, позволяющие выбирать альтернативные проектные решения и оптимизации проекта. Все более важной становится задача поддержки функции анализа на высоком уровне. Для реализации таких подходов прежде всего необходимы организация интерфейса между вычислительными пакетами, интеграция программных средств, создание вычислительных оболочек, обеспечивающих процесс интеграции. Функции таких интегрирующих оболочек должны охватывать автоматическую интеграцию программ в рамках моделируемых проектов; организацию пользовательского интерфейса к прикладным программам, оптимизацию.

В настоящее время наиболее широкое распространение получили дизайн-центры – организации, разрабатывающие различного рода интегральные схемы, но при этом не имеющие своих производственных мощностей (fabless). Их существование и успешное развитие стало возможно только благодаря тому, что фабрики, обладающие перспективными технологиями изготовления ИС, пытаются увеличить свой доход и окупить затраты на разработку технологии, стали изготавливать сторонние заказы. При этом фабрика предоставляет дизайн-центру библиотеку аналоговых примитивов, правила проектирования (Process Design Kit) и библиотеку цифровых примитивов (Digital Design Kit). Данный путь позволяет в полной мере реализовать замыслы разработчиков, особенно при использовании БиКМОП-технологии, позволяющей формировать на одном кристалле ИС с функциональными свойствами нескольких микросхем, изготовленных по разным технологиям. Предоставление фирмой библиотеки проектирования означает, что фирма имеет мощную производственную базу и готова изготовить по фандри-заказу пластины с проектом, разработанным покупателем данной библиотеки. В настоящее время многие зарубежные фирмы заявляют о своей готовности предоставить библиотеки проектирования. Однако разработка такой библиотеки является трудоемким процессом, базирующимся в основном на технологической библиотеке (Process Design Kit), в которой содержатся модельные файлы и различные файлы ограничений данного процесса. Полный маршрут проектирования цифровой библиотеки с использованием САПР Cadence [2] включает непосредственно разработку компонентов библиотеки, синтез дополнительных представлений и верификацию.

Автоматизация как процесса верификации, так и разработки в целом позволила бы экономить значительную часть времени. Сходство маршрута разработки цифровых библиотек и аналоговых заказных ИС позволяет задуматься о возможности применения методов автоматизации проектирования на основе параметризованных ячеек [3]. Отметим, что цифровые библиотеки более ориентированы на использование данного метода, так как схемотехника их компонентов проста и легко формализуема. Поэтому большинство характеристик элементов библиотеки определяются топологическим представлением или параметризованной ячейкой. Но параметрические ячейки изначально задумывались как средство автоматизации именно топологического проектирования и поэтому обладают значительным потенциалом использования на физико-топологическом этапе проектирования. Существует ряд команд, позволяющих получить численное значение того или иного физико-топологического ограничения и проинтерпретировать масштабирование ячейки с его учетом. В настоящей работе показана возможность использования параметризованных ячеек при разработке цифровых библиотечных элементов.

Параметризованная ячейка является технологически независимой заготовкой будущего библиотечного элемента, поэтому не может содержать в себе никаких жестко заданных параметров. Все необходимые значения либо определяются пользователем, либо запрашиваются из технологического файла. В качестве примера создана параметризованная ячейка КМОП-инвертора, позволяющая синтезировать его символическое, схемотехническое и топологическое представления. Автоматизация синтеза других представлений, присутствующих в библиотеке, не является сложной.

Символьное представление наиболее простое, так как не предполагает каких-либо вариаций в зависимости от выбранной технологии. В рассматриваемом примере символическое представление содержит, помимо сигнальных портов, порты шин земли и питания.

Схемотехническая параметризованная ячейка, помимо своей основной задачи, а именно создания схемного представления, часто используется для первоначальной оптимизации электрофизических параметров будущего топологического представления. Известно, что существует зависимость занимаемой площади, быстродействия и потребляемой мощности. Библиотечные элементы будут использоваться в составе СБИС, где основной причиной задержек постепенно становятся задержки межсоединений. При проектировании библиотек стараются добиться примерно одинаковых значений задержек на всех логических вентилях, чтобы предотвратить гонки сигналов в асинхронных схемах. Увеличение площади и быстродействия инвертора повлечет необходимость увеличить быстродействие и других библиотечных элементов, что потребует гораздо большего, чем в случае инвертора, увеличения размера.

Специфика использования цифровых библиотек, а именно дальнейшая компиляция в составе СБИС налагает самое значимое ограничение на площадь. Компиляторы устроены таким образом, что размещают устройства в линейки одинаковой высоты, по границам которых проходят шины земли и питания. Линейки располагаются горизонтально симметрично относительно цепей питания для того, чтобы одна цепь питала сразу две строки. Поэтому высота ячейки фиксирована для всех цифровых элементов. Любое увеличение площади транзистора в горизонтальном направлении ведется путем разбиения его на «пальцы». Будем считать высоту ячейки основным ограничением при проектировании инвертора. Быстродействие элемента будет определяться задержками переключения из «нуля» в «единицу» и обратно. В идеальном случае они должны быть минимальны и попарно равны. Однако на практике добиться этого крайне сложно, так как существует разброс технологического процесса, присутствуют температурный дрейф, дрейф напряжения питания, возможна работа схемы на различную нагрузку. Учитывая указанные ограничения, сформулируем простейшую целевую функцию и функцию ограничения оптимизации инвертора:

$$F = F_1 \frac{|Td_{01} - Td_{10}|}{Td_{01} + Td_{10}} + F_2 \frac{|Tf_{01} - Tf_{10}|}{Tf_{01} + Tf_{10}} + F_3(Td_{01} + Td_{10}) + F_4(Tf_{01} + Tf_{10})$$

(где $Td_{01}, Td_{10}, Tf_{01}, Tf_{10}$ – задержки и фронты; F_1, F_2, F_3, F_4 – весовые коэффициенты, определяющие вклад каждого слагаемого);

$$\text{CellWidth} < W_n + W_p + W_{cont} + 4L_{metal}$$

(CellWidth – высота ячейки; W_n, W_p – ширины n - и p -канальных транзисторов; W_{cont} – минимальный размер контакта; L_{metal} – расстояние между металлизациями).

Определив основные параметры, которые будут рассматриваться в процессе оптимизации, можно описать спецификацию параметрической ячейки рис.1,а. Как видно, в состав спецификации входят параметры, необходимые для создания тестовой схемы: напряжение питания и земли, а также коэффициент разветвленности по выходу. Для проведения оптимизации применялась схема кольцевого генератора прежде всего потому, что она позволяет сама генерировать входное воздействие, что является несомненным преимуществом, так как можно моделировать схему в условиях, приближенных к реальным режимам использования схемы рис.1,б. Результатами работы такой параметризованной ячейки являются значения ширины транзисторов, при которых ячейка максимально удовлетворяет требованиям спецификации: $W_p = 4u$, $W_n = 1,76u$ при этом $Td_{01} = 33,01p$, $Td_{10} = 33,14p$, $Tf_{01} = 66,01p$, $Tf_{10} = 67,71p$. Полученные значения ширины n - и p -канальных транзисторов затем передаются в топологическую параметризованную ячейку. В данном примере транзисторы тоже выполнены на основе параметризованных ячеек,

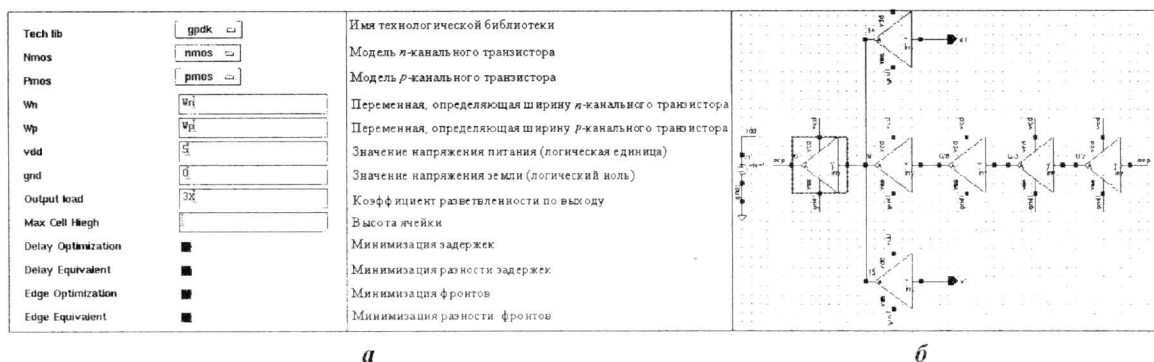


Рис. 1. Спецификация параметрической ячейки инвертора (а) и тестовая схема (б)

т.е. для синтеза их топологии достаточно указать лишь тип, длину, которая принимается минимальной, и ширину. Это позволяет разделить описание сходных объектов на своего рода классы. На начальном этапе необходимо разместить nmos и pmos устройства: nmos – размещается в точку (0, 0), pmos в (0, Max Cell Height). При этом транзистор должен быть симметрично отражен относительно горизонтальной оси (ось вертикальной симметрии) так, чтобы в указанной точке оказался левый верхний угол. Действия осуществляются при помощи следующих команд:

```
dbOpenCellViewByType(...)
dbCreateParamInst(...)
```

Для изоляции *p*-канальной структуры ее необходимо формировать в *n*-кармане. Если условие непрерывности кармана сопровождается правилом проверки, то значение высоты кармана можно получить, воспользовавшись функцией:

```
techGetSpacingRule(Id "minWidth" "Nwell").
```

Если такое правило не предусмотрено в технологическом файле, ширину кармана можно определить как сумму ширины pmos плюс удвоенное расстояние зазора кармана и диффузии. Длина кармана должна быть равна длине всей ячейки. Карман совмещается своим центром с центром *p*-канального транзистора.

Затем, чтобы сформировать выходную цепь инвертора, создается ROD-объект в слое металлизации «metal1». Ширина полагается минимально возможной, чтобы минимизировать выходную емкость. Точками привязки служат координаты верхнего правого края pmos и нижнего правого pmos за вычетом половины ширины металлизации. Функция, используемая при данном размещении, следующая:

```
rodCreateRect (...).
```

Затем создается квадратная область выходного контакта. Она определяется из суммы минимальной ширины контакта плюс удвоенная минимальная величина перекрытия контакта металлом. Затем совмещаются привязки сформированного ранее соединения с центром заготовки для контакта. Цепь маркируется лейблом выходного порта. С целью обеспечения возможности выбора слоя для будущей разводки создается только заготовка под контакт, но не сам контакт.

Формирование входной цепи начинается с полоски поликремния. Ширина полоски определяется как минимальная среди длин затворов nmos и pmos. Минимальная длина поликремниевых затворов определяется на этапе создания параметризованной ячейки транзистора. Размещение проводится по центру затворов, затем формируются три вложенные друг в друга области контакта. Все они выровнены по центру и расположены посередине созданной области поликремния.

Наиболее простой способ создания шин земли и питания – это запросить координаты границ металлизации в параметризованных ячейках транзисторов, прибавить минимальное расстояние между металлизацией, создать прямоугольную область металла в полученных точках и соединить их со стоковыми областями транзисторов еще одним объектом металлизации. В итоге будет получена топология инвертора, показанная на рис.2.

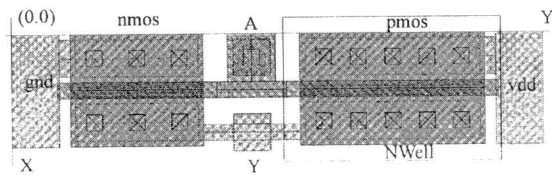


Рис.2. Полученная топология инвертора (поворот 90°)

Таким образом, разработан метод автоматизации процесса проектирования библиотек стандартных элементов, показано практическое применение метода на примере САПР Cadence. Отличительной особенностью предложенного метода является совмещение принципов оптимизации для поиска физических параметров структуры и применение параметризованной ячейки для синтеза топологии, что позволило организовать комплексный технологически независимый метод решения задачи проектирования. Основное преимущество данного метода – сокращение общего времени проектирования, что имеет явное коммерческое преимущество.

Развитие научно-методической базы научно-образовательного проекта Российско-американского Института Cadence направлено на совершенствование системы подготовки и выпуска специалистов в области проектирования полупроводниковых интегральных микросхем и микросистем, т.е. в областях, наиболее востребованных электронной промышленностью во всем мире. Представленные результаты характеризуют процесс привлечения студентов, аспирантов и молодых специалистов к научной работе в области проектирования микроэлектронных устройств, служат основой для расширения возможностей программного пакета Cadence не только в проектировании, но и применительно к обеспечению учебного процесса подготовки и переподготовки кадров.

Литература

1. Путьра М.Г. Российско-американский Институт проектирования приборов и систем // Изв. вузов. Электроника. – 2004. – № 3. – С. 26, 27.
2. Gilles Lamant, Brian Campbell, David Neiman, Jessica Felipe «Generic Standard Cell Library Revision 1.0».
3. Муханюк Н.Н. Разработка программного обеспечения автоматизации схемотехнического проектирования аналоговых ИС // Тез. докл. 13-й Всероссийской межвузовской науч.-техн. конф. студентов и аспирантов «Микроэлектроника и информатика – 2006». – М.: МИЭТ, 2006. – С. 85.

Статья поступила
5 марта 2008 г.

Крупкина Татьяна Юрьевна – доктор технических наук, профессор кафедры интегральной электроники и микросистем (ИЭМС) МИЭТ. *Область научных интересов:* моделирование технологических процессов и интегральных приборов, методы проектирования интегральной элементной базы и микросистем.

Лосев Владимир Вячеславович – кандидат технических наук, доцент кафедры ИЭМС МИЭТ. *Область научных интересов:* схемотехника устройств с малой потребляемой мощностью.

Муханюк Николай Николаевич – аспирант кафедры ИЭМС МИЭТ. *Область научных интересов:* автоматизация процесса проектирования интегральных схем на основе САПР Cadence.

Путьра Михаил Георгиевич – доктор технических наук, профессор кафедры ИЭМС, декан факультета электроники и компьютерных технологий МИЭТ. *Область научных интересов:* перспективные технологии создания СБИС, развитие международных образовательных программ в области проектирования СБИС.