

## Сравнительный анализ характеристик двоичных многоразрядных параллельных сумматоров

*А.Н. Якунин, Аунг Мьо Сан*

*Национальный исследовательский университет «МИЭТ»,  
г. Москва, Россия*

*yakunin.alexey@gmail.com*

Сумматор представляет собой логический операционный узел, выполняющий арифметическое сложение двух двоичных чисел в арифметико-логических устройствах в составе процессоров. Выделяют два типа сумматоров: одноразрядные и многоразрядные. В зависимости от схемной реализации сумматоры имеют компромисс между скоростью и количеством используемых логических элементов. В работе проведен сравнительный анализ характеристик двоичных многоразрядных параллельных сумматоров. Исследованы три архитектуры параллельных сумматоров с распространяющимся переносом (ПСРП): сумматор с последовательным переносом (СПП), сумматор с ускоренным переносом (СУП) и параллельный префиксный сумматор (ППС). Выбрана оптимальная схема ПСРП путем сравнительного анализа вариантов схем по характеристикам при повышении разрядности слагаемых. Проведены анализ и синтез схем сумматоров и выведены аналитические выражения для построения трех ПСРП. Выполнены аппаратные реализации одноразрядных сумматоров и трех ПСРП, а также анализ количества логических элементов и скорости работы при повышении разрядности. Сравнительный анализ результатов показал недостатки и преимущества каждого сумматора. При построении 64-разрядного сумматора ППС дает выигрыш по быстродействию 65 % по сравнению с СУП и 88 % по сравнению с СПП. Сравнение по количеству логических элементов показывает, что преимущество СПП составляет 35 % по сравнению с СУП и 59 % с ППС.

**Ключевые слова:** параллельный сумматор с распространяющимся переносом (ПСРП); сумматор с последовательным переносом (СПП); сумматор с ускоренным переносом (СУП); параллельный префиксный сумматор (ППС); время задержки; количество используемых логических элементов.

**Для цитирования:** Якунин А.Н., Аунг Мьо Сан. Сравнительный анализ характеристик двоичных многоразрядных параллельных сумматоров // Изв. вузов. Электроника. – 2018. – Т. 23. – № 3. – С. 293–303. DOI: 10.24151/1561-5405-2018-23-3-293-303

## Comparative Analysis of Characteristics of Binary Multi-Bit Parallel Adders

A.N. Yakunin, Aung Myo San

National Research University of Electronic Technology, Moscow, Russia

yakunin.alexey@gmail.com

**Abstract:** The adder represents a logic operation unit, executing an arithmetic adding of two binary numbers in the arithmetic-logic devices being a part of the processors. Two types of the adders: single-bit and multibit ones have been distinguished. Depending on the scheme realization the adders have a compromise between the speed and the number of the logic elements being used. In this study a comparative analysis of the characteristics of the binary multibit parallel adders has been performed. Three architectures of parallel carry-propagate adders (CPA): ripple-carry adder (RCA), carry look-ahead adder (CLA) and parallel prefix adder (PPA) have been studied. An optimal scheme of CPA using the comparative analysis of variants of schemes has been chosen by the characteristics with an increasing number of input bits. The analysis and synthesis of the adder schemes have been executed and the analytical expressions for constructing three CPA have been performed. The hardware implementations of single-bit adders and three CPA as well as the analysis of the number of logic elements and of the work speed with increasing the number of bits have been executed. The comparative analysis of parameters has shown that each adder has its own disadvantages and advantages. When building the 64-bit adder CPA gives a speed advantage of 65% with CLA and 88% compared with RCA. The comparison by the number of the logic elements shows that the advantage of RCA is 35% compared to CLA and 59% to PPA.

**Keywords:** carry-propagate adder (CPA); ripple-carry adder (RCA); carry look-ahead adder (CLA); prefix adder (PPA); number of logic elements

**For citation:** Yakunin A.N., Aung Myo San. Comparative analysis of characteristics of binary multi-bit parallel adders. *Proc. Univ. Electronics*, 2018, vol. 23, no. 3, pp. 293–303. DOI: 10.24151/1561-5405-2018-23-3-293-303

**Введение.** Сумматор представляет собой логический операционный узел, выполняющий арифметическое сложение двух двоичных чисел в арифметико-логических устройствах, входящих в состав процессоров. В зависимости от количества одновременно обрабатываемых разрядов складываемых двоичных чисел выделяют два типа сумматоров: одноразрядные и многоразрядные [1]. При построении многоразрядного сумматора на базе однобитовых выходной сигнал переноса  $C_{out}$  каждого разряда подается на вход переноса  $C_{in}$  следующего разряда. Однако в полусумматоре нет входа переноса  $C_{in}$  для связи с выходом  $C_{out}$  предыдущего разряда. В полном сумматоре такой вход  $C_{in}$  есть. В зависимости от схемной реализации сумматоры имеют компромисс между скоростью и количеством используемых логических элементов.

В настоящей работе рассматривается аппаратная реализация различных многоразрядных параллельных сумматоров.

**Одноразрядные сумматоры.** Одноразрядные сумматоры выполняют сложение одноразрядных слагаемых. По числу входов и выходов одноразрядные двоичные сум-

маторы можно разделить на полусумматоры (Half Adder, HA) и полные сумматоры (Full Adder, FA) [2].

**Полусумматор.** Полусумматор имеет два входа ( $A$  и  $B$ ) и два выхода ( $S$  и  $C_{out}$ ). Здесь  $S$  – сумма  $A$  и  $B$ . Если  $A$  и  $B$  равны 1, то выход  $S$  должен стать равным  $2_{10}$ , но такое число не может быть представлено в виде одного двоичного разряда. В этом случае результат указывается вместе с переносом  $C_{out}$  в следующий разряд. Таблица истинности (табл.1) отражает работу полусумматора, а соответствующие аналитические уравнения такого сумматора имеют вид

$$S = \overline{A}B + A\overline{B} = A \oplus B; \tag{1}$$

$$C_{out} = AB. \tag{2}$$

Из уравнений (1) и (2) следует, что для реализации полусумматора требуются два логических элемента ( $Q_{\Pi} = 2$ ): один логический элемент («исключающее ИЛИ») и один двухвходовый элемент («логическое И»). Схемная реализация и графическое условное обозначение полусумматора показаны на рис.1 [2].

Определим быстродействие одноразрядного полусумматора. Перенос  $C_{out}$  и сумма  $S$  в данной схеме будут вырабатываться одновременно за время, равное одной задержке используемых логических элементов [3]. Предположим, что задержка каждого двухвходового логического элемента составляет  $t_0$ , тогда время максимальной задержки полусумматора  $t_{\Pi} = t_0$ .

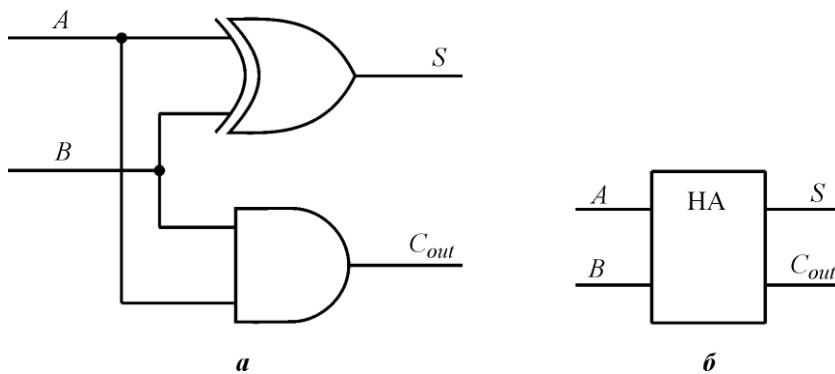


Рис.1. Полусумматор: а – схемная реализация; б – графическое условное обозначение  
Fig.1. Half-adder: a – schematic implementation; b – graphic symbol

**Полный сумматор.** Полный одноразрядный двоичный сумматор (ПС) имеет три входа ( $A$ ,  $B$  и  $C_{in}$ ) и два выхода ( $S$  и  $C_{out}$ ). Здесь  $A$  и  $B$  – разряды слагаемых;  $C_{in}$  – перенос из предыдущего (младшего) разряда;  $S$  – сумма по данному разряду;  $C_{out}$  – перенос в следующий разряд. Работу полного сумматора отражает таблица истинности (табл.2).

Из таблицы истинности полного сумматора для функции суммы и переноса следует

$$S = \overline{A}\overline{B}C_{in} + \overline{A}B\overline{C}_{in} + A\overline{B}\overline{C}_{in} + ABC, \tag{3}$$

$$C_{out} = \overline{A}BC_{in} + A\overline{B}C_{in} + AB\overline{C}_{in} + ABC_{in}. \tag{4}$$

**Таблица 2**  
**Таблица истинности полного сумматора**  
**Table 2**  
**Truth table of the full-adder**

Номер набора	ВХОД			ВЫХОД	
	A	B	C <sub>in</sub>	S	C <sub>out</sub>
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

Уравнения (3) и (4) могут быть минимизированы:

$$S = \overline{C_{in}}(\overline{A}B + A\overline{B}) + (\overline{A}B + AB)C_{in} = A \oplus B \oplus C_{in}, \quad (5)$$

$$C_{out} = (\overline{A}B + A\overline{B})C_{in} + AB(\overline{C_{in}} + C_{in}) = AB + (A \oplus B)C_{in}. \quad (6)$$

Из уравнений (5) и (6) следует, что для реализации полного сумматора требуются два элемента («исключающее ИЛИ»), два двухвходовых элемента («логическое И») и один двухвходовый элемент («логическое ИЛИ»). Также он может быть построен из двух полусумматоров и одного двухвходового элемента («логическое ИЛИ»). Схемная реализация и графическое условное обозначение полного сумматора показаны на рис.2.

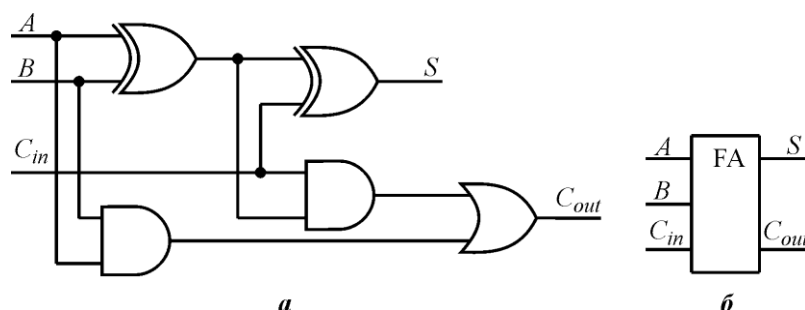


Рис.2. Полный одноразрядный сумматор: а – схемная реализация;  
 б – графическое условное обозначение

Fig.2. Full single-digit adder: a – schematic implementation;  
 b – graphic symbol

Полный одноразрядный сумматор содержит пять двухвходовых логических элементов. Поэтому количество используемых логических элементов в этом сумматоре  $Q_{\text{ЛС}} = 5$ , время задержки полного сумматора  $t_{\text{ЛС}} = 3t_0$ .

**Многоразрядные параллельные сумматоры с распространяющимся переносом.** Многоразрядные параллельные сумматоры предназначены для одновременного суммирования двух многоразрядных чисел и характеризуются различными способами передачи сигналов переноса от младших разрядов к старшим [4]. Многоразрядный параллельный сумматор складывает два  $N$ -разрядных числа ( $A$  и  $B$ ), а также входной перенос  $C_{in}$  (т.е.  $C_{i-1}$ ) и формирует  $N$ -разрядный результат  $S$  и выходной перенос  $C_{out}$ .

Такой сумматор называется параллельным сумматором с распространяющимся переносом (ПСРП), так как выходной перенос одного разряда переходит в следующий разряд. Самыми распространенными реализациями ПСРП являются сумматоры с последовательным переносом (СПП), сумматор с ускоренным переносом (СУП) и параллельный префиксный сумматор (ППС).

**Сумматоры с последовательным переносом.** Самый простой способ реализации  $N$ -разрядного сумматора – объединение в цепь  $N$  полных сумматоров, где  $N$  – число разрядов слагаемых [5]. Выход  $C_{out}$  некоторого разряда будет поступать на вход  $C_{in}$  следующего разряда и т.д. На рис.3 показана схема 32-разрядного СПП (т.е.  $N = 32$ ).

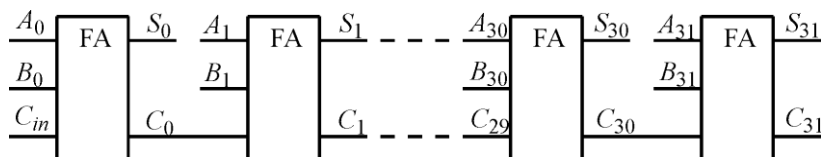


Рис.3. Схема 32-разрядного сумматора с последовательным переносом  
Fig.3. Scheme of the 32-bit ripple-carry adder

СПП имеет следующий недостаток: его скорость падает при увеличении числа разрядов  $N$ . Разряд  $S_{31}$  зависит от переноса  $C_{30}$ , который, в свою очередь, зависит от  $C_{29}$  и т.д. до  $C_{in}$  (см. рис.3). Перенос проходит через всю схему. Задержка такого сумматора  $t_{СПП}$  увеличивается вместе с количеством разрядов

$$t_{СПП} = (2N + 1)t_0. \quad (7)$$

Количество используемых логических элементов  $Q_{СПП}$  в СПП можно вычислить из соотношения

$$Q_{СПП} = NQ_{ПС}, \quad (8)$$

где  $Q_{ПС} = 5$ .

**Сумматоры с ускоренным переносом.** СПП работают относительно медленно, так как сигнал переноса должен пройти через все биты сумматора. Поэтому целесообразно использовать сумматоры с ускоренным переносом (СУП) [6, 7]. Данный сумматор с распространяющимся переносом решает проблему задержки путем разделения сумматора на блоки, реализуя схему так, чтобы выходной перенос блока формировался сразу, как только стал известен его входной перенос. Таким образом, сумматор не ждет прохождения переноса через все одноразрядные сумматоры внутри блока. Например, 32-разрядный сумматор может быть разделен на восемь 4-разрядных сумматоров.

СУП используют сигналы генерации  $G$  и распространения  $P$ , которые описывают, как блок (или разряд) определяет выход переноса.  $i$ -й разряд сумматора генерирует перенос, если он выдает перенос на своем выходе, независимо от наличия переноса на входе.  $i$ -й разряд сумматора генерирует  $C_i$  в том случае, если и  $A_i$ , и  $B_i$  равны 1. Сигнал генерации  $G_i$  можно вычислить как  $G_i = A_i B_i$ . Разряд называется распространяющим переносом, если выходной сигнал переноса появляется при наличии входного переноса. Разряд будет распространять входной сигнал переноса  $C_{i-1}$ , если либо  $A_i$ , либо  $B_i$  равны 1. Таким образом,  $P_i = A_i \oplus B_i$ . Используя эти определения, можно переписать логику формирования сигнала переноса для определенного разряда. Разряд  $i$  сум-

матора будет формировать выходной сигнал переноса  $C_i$ , если он или генерирует перенос  $G_i$ , или распространяет входной перенос  $P_i C_{i-1}$ . В виде уравнения это можно записать следующим образом:

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} = G_i + P_i C_{i-1}.$$

Блок называется генерирующим переносом, если он создает выходной перенос независимо от входного сигнала переноса данного блока. Блок называется распространяющим перенос, если выходной перенос возникает при поступлении входного переноса.  $G_{i,j}$  и  $P_{i,j}$  определяются как сигналы генерации и распространения для блоков, охватывающих разряды с  $i$  до  $j$ . Блок генерирует перенос, если самый старший разряд генерирует перенос или если старший разряд распространяет перенос, сгенерированный предыдущим разрядом, и т.д. Например, логика блока генерации, охватывающего разряды от 0 до 3, будет следующей:

$$G_{3,0} = G_3 + P_3 (G_2 + P_2 (G_1 + P_1 G_0)).$$

Блок распространяет перенос, если все входящие в него разряды этот перенос распространяют. Логика распространения для блока, охватывающего разряды с 0 до 3, следующая:

$$P_{3,0} = P_3 P_2 P_1 P_0.$$

С помощью сигналов генерации и распространения блока можно быстро определить выходной перенос блока  $C_i$ , используя его входной перенос  $C_j$ :

$$C_i = G_{i,j} + P_{i,j} C_j.$$

На рис.4,а показан 32-разрядный сумматор с ускоренным переносом, состоящий из восьми 4-разрядных блоков. На рис.4,б отражена схема блока, содержащая 4-разрядный сумматор с последовательным переносом и схему ускоренного переноса, которая определяет выходной перенос блока по входному. На рисунке приведены элементы «И» и «ИЛИ», необходимые для вычисления одноразрядных сигналов генерации и распространения  $G_i$  и  $P_i$  по  $A_i$  и  $B_i$ . СУП имеет модульную и регулярную структуру. Все блоки сумматора одновременно вычисляют однобитовые и блоковые сигналы генерации и распространения. Критический путь начинается с вычисления  $G_0$  и  $G_{3,0}$  в первом блоке сумматора. Затем сигнал  $C_{in}$  распространяется по направлению к  $C_{out}$  через логические элементы И/ИЛИ всех блоков. Для большого сумматора это происходит гораздо быстрее, чем распространение переноса через каждый последующий разряд сумматора. Наконец, критический путь через последний блок содержит небольшой сумматор с последовательным переносом. Таким образом,  $N$ -разрядный сумматор, разделенный на  $k$ -разрядные блоки, имеет задержку

$$t_{СУП} = [4(k-1) + \frac{2N}{k}] t_0 \quad (N \neq k, N > k). \quad (9)$$

При  $N > 16$  такой сумматор работает гораздо быстрее, чем сумматор с последовательным переносом. Однако задержка сумматора по-прежнему линейно возрастает с ростом  $N$ .



$$S_i = A_i \oplus B_i \oplus G_{i-1}. \quad (11)$$

Таким образом, основной проблемой является быстрое вычисление всех блоковых сигналов генерации  $G_{-1:-1}$ ,  $G_{0:-1}$ ,  $G_{1:-1}$ ,  $G_{2:-1}$ , ...,  $G_{N-2:-1}$ . Эти сигналы вместе с  $P_{-1:-1}$ ,  $P_{0:-1}$ ,  $P_{1:-1}$ ,  $P_{2:-1}$ , ...,  $P_{N-2:-1}$  называют префиксными [9]. На рис.5 показана схема 32-разрядного префиксного сумматора.

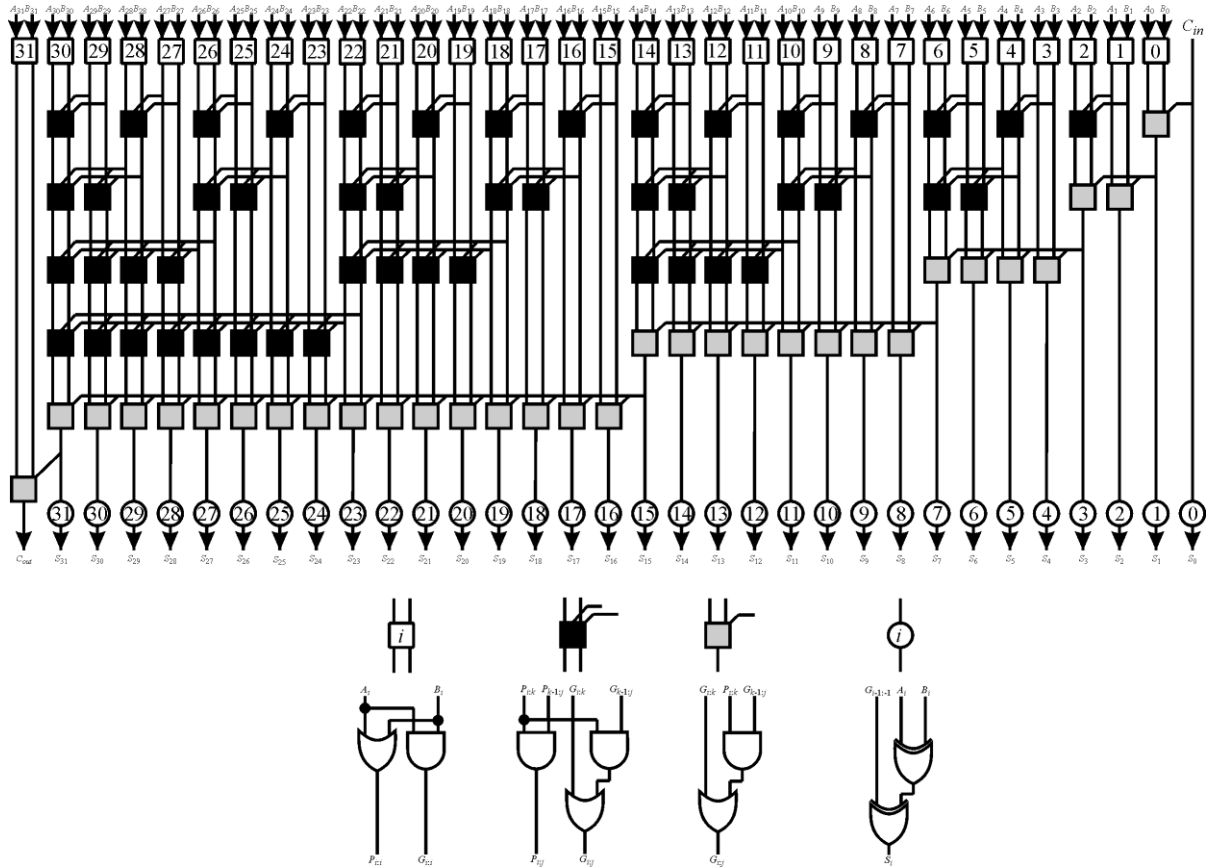


Рис.5. Схема 32-разрядного параллельного префиксного сумматора  
Fig.5. Scheme of the 32-bit parallel prefix adder

Работа 32-разрядного префиксного сумматора начинается с предварительного формирования сигналов  $P_i$  и  $G_i$  для всех разрядов  $A_i$  и  $B_i$  с использованием элементов И и ИЛИ. Затем используется  $\log_2 N = 5$  уровней схематичных ячеек для формирования префиксов  $G_{i:j}$  и  $P_{i:j}$ . Черная ячейка и серая ячейка принимают входы из верхней части блока, охватывающего биты  $i:k$ , и из нижней части блока, охватывающего биты  $k-1:j$ . Затем эти части объединяются для формирования сигналов генерации и распространения всего блока, охватывающего биты  $i:j$ . Это можно записать в следующем виде:

$$G_{i:j} = G_{ik} + P_{ik} G_{k-1:j},$$

$$P_{i:j} = P_{ik} P_{k-1:j}.$$

Другими словами, блок, охватывающий биты  $i:j$ , будет генерировать сигнал переноса, если верхняя часть генерирует перенос или если она распространяет перенос, сгенерированный в нижней части. Блок будет распространять перенос, если и верхняя и

нижняя части распространяют его. В итоге префиксный сумматор вычисляет сумму на основе уравнения (11).

Таким образом, задержка ППС достигает значения, которое растет с числом разрядов сумматора логарифмически, а не линейно. Ускорение значительно, особенно для сумматоров, имеющих 32 и более разрядов. Такой сумматор использует существенно больше аппаратных средств, чем простой сумматор с ускоренным переносом. Сеть схематичных ячеек называется префиксным деревом. Основной принцип использования префиксного дерева, при котором время вычислений растет логарифмически с ростом числа входов, является мощной технологией. Критический путь  $N$ -разрядного ППС включает в себя предварительное вычисление  $P_i$  и  $G_i$ , за которым следует  $\log_2 N$  каскадов ячеек для получения всех префиксов. Затем сигналы  $G_{i-1}$  обрабатываются финальными элементами «исключающее ИЛИ» в нижней части схемы для получения сигнала  $S_i$ . Задержка  $N$ -разрядного ППС равна:

$$t_{\text{ППС}} = [2\log_2 N + 3]t_0. \quad (12)$$

Количество используемых логических элементов в ППС равно:

$$Q_{\text{ППС}} = 3(N + 1) + \left(\frac{3N}{2} \log_2 N\right). \quad (13)$$

**Сравнение времени задержки и количества логических элементов в многоразрядных сумматорах.** Проведем сравнительный анализ параметров многоразрядных параллельных сумматоров с различным переносом при увеличении разрядности суммируемых чисел. Сначала сравним время задержки 32-разрядного СПП и 32-разрядного СУП, который состоит из 4-разрядных блоков и 32-разрядного ППС. Предположим, что время задержки каждого двухвходового логического элемента составляет  $t_0$ . В соответствии с формулой (7) задержка распространения 32-разрядного СПП равна  $(2 \cdot 32 + 1)t_0 = 65t_0$ . Согласно уравнению (9) задержка распространения 32-разрядного СУП, состоящего из 4 разрядных блоков, равна  $[4(4 - 1) + (\frac{2 \cdot 32}{4})]t_0 = 28t_0$ . В соответствии с уравнением (12) задержка распространения 32-разрядного ППС составляет  $[2 \cdot \log_2 32 + 3] = 13t_0$ . С помощью уравнений (8), (10) и (13) вычислим количество логических элементов, используемых в этих сумматорах. 32-разрядный СПП имеет 160 логических элементов, 32-разрядный СУП – 248 логических элементов, ППС – 339 логических элементов.

В табл.3 для сравнения приведены время задержки и количество используемых логических элементов в схемах сумматоров при наращивании разрядности входных слагаемых.

Из табл.3 видно, что задержка у 32-разрядного ППС почти в 2 раза меньше, чем у СУП, и в 5 раз меньше, чем у СПП. Количество логических элементов у 32-разрядного СПП меньше на 88 логических элементов, чем у 32-разрядного СУП, и на 179 логических элементов меньше, чем у 32-разрядного ППС. При построении 64-разрядного сумматора ППС дает выигрыш по быстродействию в 65 % по сравнению со схемой СУП и в 88 % по сравнению со схемой СПП. Сравнение по количеству используемых логических элементов показывает, что при разрядности схемы 64 бита преимущество СПП составляет около 35 % по сравнению с СУП и около 59 % по сравнению со схемой ППС.

Таблица 3

Время задержки и количество используемых логических элементов  
в многоразрядных параллельных сумматорах

Table 3

Table comparison of the delay time and the number  
of logical elements used in multi-bit parallel adders

Разрядность сумматора	Время задержки $t_0$			Количество логических элементов $Q$		
	СПП	СУП	ППС	СПП	СУП	ППС
8-разрядный	$17t_0$	$16t_0$	$9t_0$	40	62	63
16-разрядный	$33t_0$	$20t_0$	$11t_0$	80	124	147
32-разрядный	$65t_0$	$28t_0$	$13t_0$	160	248	339
64-разрядный	$129t_0$	$44t_0$	$15t_0$	320	496	771
128-разрядный	$257t_0$	$76t_0$	$17t_0$	640	992	1731
256-разрядный	$513t_0$	$140t_0$	$19t_0$	1280	1984	3843

**Заключение.** Сравнительный анализ параметров рассмотренных двоичных многоразрядных параллельных сумматоров показал следующее. СПП характеризуется низким быстродействием и небольшим количеством используемых логических элементов. ППС имеет большое количество логических элементов, а его преимущество состоит в высоком быстродействии. Для получения среднего быстродействия и небольших аппаратных затрат можно выбрать сумматор с ускоренным переносом. Быстрые сумматоры используют больше аппаратных средств и, следовательно, являются более дорогостоящими и энергозатратными. Практически все современные компьютеры используют ППС в критических путях, так как транзисторы стали дешевле, а быстродействие – один из важнейших показателей.

### Литература

1. Воробьев Н.В., Якунин А.Н. Схемотехника ЭВМ. Ч.1. Комбинационные схемы: учеб. пособие. – М.: МИЭТ, 2009. – 84 с.
2. Потехин В.А. Схемотехника цифровых устройств: учеб. пособие для вузов. – Томск: В-Спектр, 2012. – С. 146–168.
3. Базарова С. Б.-М. Сумматоры: методические указания к лабораторной работе. – Улан-Удэ: Изд-во ВСГТУ, 2006. – С. 9.
4. Zimmermann R. Binary adder architectures for cell-based VLSI and their synthesis. – Zurich, 1997. – P. 32–34.
5. Rashmi Rahul Kulkarni. Comparison among different adders // IOSR J. of VLSI and Signal Processing. – 2015. – Vol. 5. – Iss. 6. – P. 1.
6. Amital, Mrs. Nitin Sachdeva. Design and analysis of carry look ahead adder using CMOS technique // IOSR J. of Electronics and Communication Engineering. – 2014. – Vol. 9. – Iss. 2. – P. 1.
7. Sumant Dalmiya B.E. A comparative study of adders // Thesis for the Degree of Master of Science in Engineering (Austin, December 2015). – 2015. – P. 11–12.
8. Chaitanya Kumari P., Nagendra R. Design of 32 bit parallel prefix adders // IOSR J. of Electronics and Communication Engineering. – 2013. – Vol. 6. – Iss. 1. – P. 2.
9. Money Harris D., Sarah L.H. Digital design and computer architecture. – 2nd ed. – N. Y., 2013. – P. 237–239.

Поступила 22.09.2017 г.; принята к публикации 27.02.2018 г.

**Якунин Алексей Николаевич** – доктор технических наук, доцент Института микроприборов и систем управления Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д. 1), yakunin.alexey@gmail.com

**Аунг Мьо Сан** – аспирант Института микроприборов и систем управления Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д. 1), aungmyosan61028@gmail.com

### References

1. Vorob'yov N.V., Yakunin A.N. *Skhemitexhnika EVM. Ch.1. Kombinacionnye skhemy. Uchebnoe posobie* [Computer circuit design. Part 1. Combination schemes. Textbook]. Moscow, MIET Publ., 2009. 84 p. (In Russian).
2. Potekhin V.A. *Skhemitexhnika cifrovyyh ustrojstv: ucheb. Posobie dlya vuzov* [Textbook for universities. Tomsk State University of Control Systems and Radioelectronics]. Tomsk, V-Spektr Publ., 2012, pp.146–168. (In Russian).
3. Bazarova S.B.-M., Mantatov B.V. *Summatory: Metodicheskie ukazaniya k laboratornoj rabote* [Adders: Methodical instructions for laboratory work]. Ulan Ude, Izdatel'stvo VSGTU Publ., 2006. P. 9. (In Russian).
4. Reto Zimmermann. *Binary Adder Architectures for Cell-Based VLSI and their Synthesis*. Swiss Federal Institute of Technology Zurich, 1997. P. 32–34.
5. Rashmi Rahul Kulkarni. Comparison among Different Adders. *IOSR Journal of VLSI and Signal Processing (IOSR-JVSP)*, Nov -Dec., 2015, vol. 5, iss. 6, ver. I, p. 1.
6. Amita1, Mrs. Nitin Sachdeva. Design and Analysis of Carry Look Ahead Adder Using CMOS Technique. *IOSR Journal of Electronics and Communication Engineering (IOSR-JECE)*, Mar. – Apr. 2014, vol. 9, iss. 2, ver. VII, p. 1.
7. Sumant Dalmiya B.E. *A Comparative Study of Adders. Thesis for the Degree of Master of Science in Engineering*. Austin, December 2015, pp. 11–12.
8. Chaitanya Kumari P., Nagendra R. Design of 32 bit Parallel Prefix Adders. *IOSR Journal of Electronics and Communication Engineering (IOSR-JECE)*, May. – Jun. 2013, vol. 6, iss. 1, p. 2.
9. David Money Harris, Sarah L.H. *Digital Design and Computer Architecture*. 2nd Edition. Avenue South, New York, 2013. P. 237–239.

Submitted 22.09.2017; Accepted 27.02.2018.

### Information about the authors:

**Alexey N. Yakunin** – Dr. Sci. (Tech.), Assoc. Prof. of the Institute of Microdevices and Control Systems, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), yakunin.alexey@gmail.com

**Aung Myo San** – PhD student of the Institute of Microdevices and Control Systems, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), aungmyosan61028@gmail.com