

ЭЛЕМЕНТЫ ИНТЕГРАЛЬНОЙ ЭЛЕКТРОНИКИ INTEGRATED ELECTRONICS ELEMENTS

УДК 621.382+621.396.6

DOI: 10.24151/1561-5405-2018-23-3-252-259

Топологический подход к увеличению устойчивости DICE-триггеров к воздействию тяжелых заряженных частиц

В.П. Тимошенков, И.А. Фатеев

*Национальный исследовательский университет «МИЭТ»,
г. Москва, Россия*

fateev@mri-progress.ru

Применяемые методы повышения устойчивости микросхем к воздействию тяжелых заряженных частиц (ТЗЧ) часто приводят к ухудшению производительности, потребляемой мощности и площади. ТЗЧ, проходя через материал полупроводника, ионизируют его, порождая электронно-дырочные пары. В дальнейшем частицы могут быть «захвачены» электрическим полем и вызвать импульс напряжения на информационных линиях, который искажает данные и приводит к сбоям функционирования. В работе для уменьшения влияния одиночных событий предложено применять специализированные ячейки, позволяющие сохранять записанную информацию при воздействии на нее ТЗЧ. В основе таких ячеек лежит принцип мультиплицирования данных для восстановления их после воздействия. Основная проблема – одновременное воздействие ТЗЧ на несколько копий данных. Проведен анализ чувствительных узлов DICE-защелки с сигналом асинхронного сброса. Представлена методика выделения наборов чувствительных узлов, взаимное расположение которых влияет на чувствительность триггера к воздействию ТЗЧ. На основе данной методики разработано топологическое представление ячейки триггера. Предложенная методика позволяет анализировать чувствительные узлы D-триггеров разной модификации. Минимальное расстояние между чувствительными узлами полученной ячейки в 4,5 раза больше, чем у ее стандартного аналога. При этом увеличение площади DICE-триггера с сигналом асинхронного сброса составило всего 8%.

Ключевые слова: DICE; тяжелые заряженные частицы; сбоеустойчивость; master-slave триггер

Для цитирования: Тимошенков В.П., Фатеев И.А. Топологический подход к увеличению устойчивости КМОП DICE-триггеров к воздействию тяжелых ядерных частиц // Изв. вузов. Электроника. – 2018. – Т. 23. – № 3. – С. 252–259. DOI: 10.24151/1561-5405-2018-23-3-252-259

Topological Approach to Increase Reliability of DICE Flip-Flop Triggers to Single Event Effects

V.P. Timoshenkov, I.A. Fateev

National Research University of Electronic Technology, Moscow, Russia

fateev@mri-progress.ru

Abstract: The up-to-date systems of space communications, navigation, etc require the development of the electronic component base. The application of the reliability increase methods results in degradation of the efficiency, power consumption and area. The heavy charged particles, passing through the semiconductor material, ionize it, generating huge volume of electron-hole pairs. Further, the particles can be captured by the electric field and can induce a voltage pulse on the information lines. In this study this pulse can lead to the data distortion and the functioning failures. To reduce the impact of single events the specialized cells, permitting to keep the data, even under a heavy ion hit, are used. Such cells are based on multiplying the data for their further recovery after the impact. The major problem is the simultaneous impact of the heavy charged particles upon several copies of the data. The analysis of the sensing modes of the DICE based latch with an asynchronous reset signal has been performed. The method for selection of the sets of sensitive nodes, the mutual position of which affects the reliability of the latch to a single ion hit, has been shown. Based on this method a topological view of the trigger cell has been developed. The minimum distance between the sensitive nodes of the produced cell is more than 4.5 times longer than that one of its standard analog. An increase in the area of obtained DICE based flip-flop trigger with an asynchronous reset was only 8%.

Keywords: DICE; heavy charged particles; master-slave trigger

For citation: Timoshenkov V.P., Fateev I.A. Topological approach to increase reliability of DICE flip-flop triggers to single event effects. *Proc. Univ. Electronics*, 2018, vol. 23, no. 3, pp. 252–259. DOI: 10.24151/1561-5405-2018-23-3-252-259

Введение. Поток элементарных частиц высокой энергии в околоземном космическом пространстве является одним из основных факторов, влияющих на надежное функционирование микросхем в составе бортовой аппаратуры. Воздействие потоков тяжелых заряженных частиц (ТЗЧ) на субмикронные СБИС приводит к различным сбоям, а также к возникновению тиристорных эффектов. При прохождении частицы через материал полупроводника возникает трек ТЗЧ с основанием на поверхности, диаметр которого тем больше, чем больше энергия частицы [1, 2]. Активизированные электронно-дырочные пары с зарядом Q вызывают импульс тока и напряжения на одном из контактов. Запас сбоеустойчивости характеризуется критическим зарядом $Q_{кр}$, необходимым для переключения элемента хранения и появления сбоя. При собирании заряда от воздействия ТЗЧ, меньшего, чем показатель критического заряда ($Q < Q_{кр}$), происходит временное нарушение уровней сигналов на выходах элемента хранения без изменения их последующих состояний.

Проблемы специализированных сбоеустойчивых ячеек. Для повышения стойкости СБИС используются специализированные ячейки памяти и триггера с повышенной устойчивостью к воздействию ТЗЧ (DICE, NASA, НИТ и их модификации) [3–8]. DICE-ячейка, в которой хранятся две копии данных, основана на двухфазном D-триггере [9]. Это позволяет восстановить информацию в случае событий, вызванных воздействием ТЗЧ.

При большой энергии частицы, а соответственно, и большом пятне ионизационного следа возможно воздействие сразу на несколько чувствительных областей. Так, например, в работе [10] показано, что при энергии протона, равной 1 ГэВ, пятно трека ТЗЧ имеет диаметр более чем 0,9 мкм. При одновременном воздействии ионизационных токов на несколько чувствительных областей происходит снижение критического заряда в несколько раз, что является одним из основных механизмов появления сбоев в сбоеустойчивых ячейках [11]. В то же время увеличение расстояния между чувствительными областями до 3 мкм дает снижение вероятности кратных воздействий в 10^3 раз для глубоко-субмикронных технологий [12, 13]. Таким образом, при построении топологии ячейки необходимо учитывать взаимное расположение чувствительных областей и по возможности увеличивать расстояние между этими областями.

Методика определения чувствительных областей. Для определения уязвимости КМОП-схем к эффектам, вызванным воздействием ТЗЧ, применяется моделирование с включением дополнительных источников тока ионизационного отклика. Сложной задачей является выбор модели ионизационного отклика с приемлемыми показателями точности, времени моделирования и сложности калибровки модели. По этой причине на каждом уровне иерархии используются разные по сложности функции аппроксимации ионизационных токов. Для базовых ячеек применяются сложные модели [13–15], для моделирования законченных КМОП-микросхем – более простые кусочно-линейные аппроксимации [16].

Для базовой ячейки чувствительными областями к воздействию ТЗЧ являются p - n -переходы с обратным смещением [1, 2]. На рис.1 приведена структурная схема DICE-защелки с сигналом асинхронного сброса. Для случая хранения единицы ($Q = 1$) чувствительными областями будут стоки транзисторов $P0, N1, P2, N3$, а также $R0, R1$ [12]. Для $Q = 0$ чувствительными областями будут стоки $N0, P1, N2, P3$. Отметим, что для flip-flop D-триггеров характерно наличие сигналов асинхронного и синхронного сброса и предустановки.

На рис.2 показаны результаты моделирования перехода DICE-защелки в нестационарное состояние. По результатам моделирования (см. рис.2) важно отметить, что $P0$ и $N1$ относятся к одной двухфазной паре и при одновременном воздействии на них данные будут сохранены во второй двухфазной паре. При таком воздействии защелка переходит в нестационарное состояние. При этом плечи $Q1$ и $NQ1$ меняют свое состояние, а данные хранятся в узлах $Q2$ и $NQ2$. После окончания воздействия защелка восстанавливает свое исходное состояние. В качестве воздействия использовался импульс тока, полученный по двухэкспонентной формуле [14]:

$$I(t) = (Q/\tau_f - \tau_r)[\exp(-t/\tau_f) - \exp(-t/\tau_r)],$$

где Q – интегральное значение собранного заряда; τ_f – время спада тока, связанное со временем диффузионного собирания заряда; τ_r – время нарастания тока, связанное со временем дрейфа носителей через ОПЗ p - n -перехода.

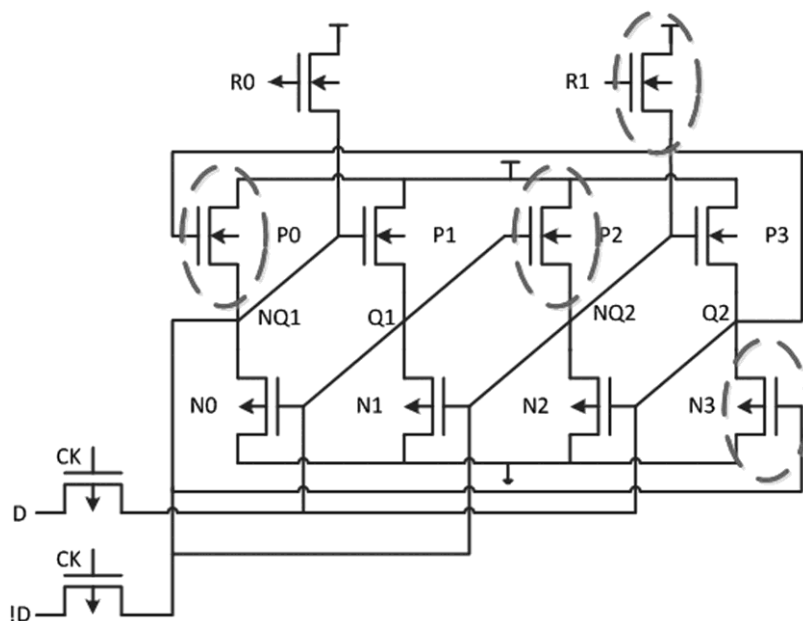


Рис.1. Структурная схема DICE-защелки с сигналом асинхронного сброса
Fig.1. The DICE latch with asynchronous reset principal scheme

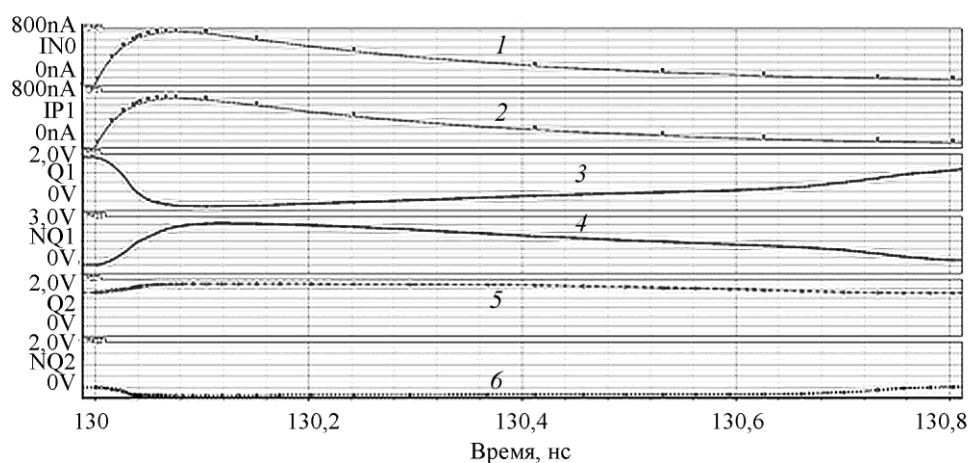


Рис.2. Результаты моделирования перехода DICE-защелки в нестационарное состояние при одновременном воздействии ТЗЧ на «чувствительные узлы» из одной двухфазной пары: 1, 2 – источники тока подключены к двум транзисторам из соседних пар N0 и P1; 3–6 – реакция внутренних узлов на воздействие

Fig.2. Results of the modeling of the transition of the DICE latch into a non-stationary condition, due to simultaneous interaction of a heavy ion with two sensitive nodes of a two-phase pair. 1, 2 – current sources is connected to N0 and P1 transistor from nearby couples; 3–6 – the reaction of internal nodes is illustrated

Рассмотрим состояние хранения единицы ($Q1 = 1$ и $Q2 = 1$). В этом случае закрытыми транзисторами, т.е. чувствительными к воздействию ТЗЧ, будут $P0$, $P2$, $N1$, $N3$, $R0$ и $R1$. Например, при воздействии на транзистор $P0$ DICE-триггер перейдет в нестационарное состояние. Узлы $NQ1$ и $Q1$ потеряют свои значения, но данные будут сохранены в узлах $NQ2$ и $Q2$. Следовательно, можно исключить из чувствительных узлов $R0$ и $N1$, так как они относятся к той же двухфазной паре. Таким образом, чувствительными узлами в случае хранения единицы и при воздействии на узел $P0$ будут транзисторы $P2$, $N3$, $R1$.

По аналогии можно выделить следующие наборы чувствительных областей, взаимное расположение между которыми необходимо учитывать на этапе проектирования топологии: $P0 - P2, N3, R1$ и $R0 - P2, N3, R1$ и $N1 - P2, N3, R1$; $P2 - P0, N1, R0$ и $R1 - P0, N1, R0$ и $N3 - P0, N1, R0$; $N0 - N2, P3$ и $P1 - N2, P3$; $N2 - N0, P1$ и $P3 - P1, N0$.

Используя данную методику, можно выделить наборы чувствительных областей для остальных, наиболее часто используемых модификаций триггеров, таких как триггер с асинхронным сигналом установки, триггеры с инверсными выходами и т.д.

Создание топологии DICE-триггера с асинхронным сигналом сброса. Стандартный flip-flop D-триггер состоит из двух защелок [6]. Для эффективного использования площади и обеспечения максимальных расстояний между чувствительными наборами транзисторы из двух защелок следует перемешать между собой. После такого смешивания произойдет увеличение площади и уменьшение производительности и можно ожидать значительное увеличение устойчивости к воздействию ТЗЧ. На рис.3 представлена полученная топология flip-flop D-триггера, спроектированная для технологического процесса 200 нм КНИ [17].

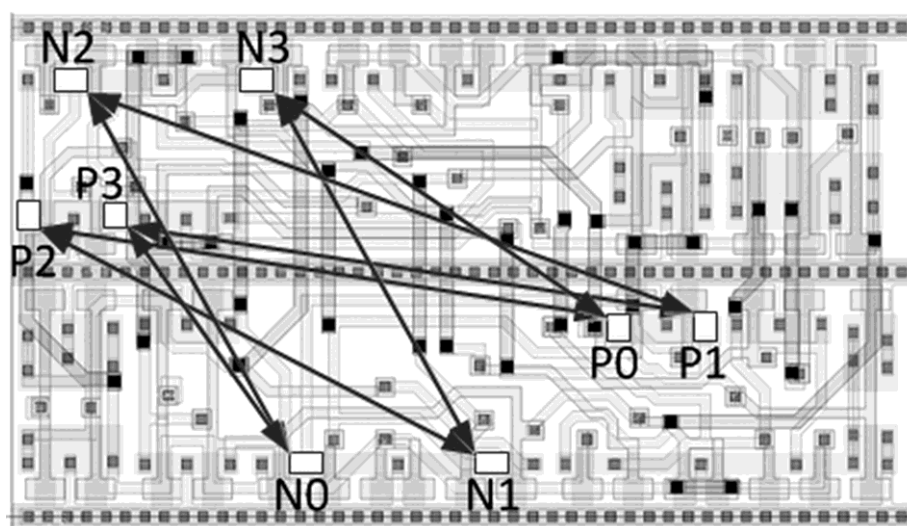


Рис.3. Топология flip-flop DICE-триггера с сигналом асинхронного сброса, синтезированная с учетом расположения чувствительных областей
 Fig.3. The topology of DICE flip-flop trigger with asynchronous reset, designed considering the sensitive nodes

Получены следующие расстояния между чувствительными областями:

Пары транзисторов	Расстояние, мкм
$P0-P2$	14,6
$P1-RN1$	14,14
$P2-N1$	13,51
$P3-RN0$	14,14
$N0-N2$	10,82
$N0-P3$	7,33
$N1-N3$	10,82
$N2-RN0$	16,21
$N3-P0$	9,88
$N0-RN1$	8,88
$P1-N2$	16,21
$P1-P3$	14,14

Заключение. Методика анализа чувствительных узлов для разных модификаций flip-flop D-триггеров позволяет выделять чувствительные узлы триггера с сигналом асинхронного сброса, формировать наборы транзисторов для учета их взаимного расположения для повышения устойчивости триггера к воздействию тяжелых заряженных частиц. С использованием методики проведен синтез топологии flip-flop D-триггеров с сигналом асинхронного сброса для технологического процесса 200 нм КНИ [17] и определены расстояния между чувствительными узлами. Минимальное расстояние между чувствительными узлами равно 7,33 мкм, в то время как при обычном расположении минимальное расстояние составляет 1,5 мкм. При этом увеличение площади полученного DICE-триггера с асинхронным сбросом составило всего 8 %.

Литература

1. **Чумаков А.И.** Действие космической радиации на интегральные схемы. – М.: Радио и связь, 2004. – 320 с.
2. **Таперо К.И., Улимов В.Н., Членов А.М.** Радиационные эффекты в кремниевых интегральных схемах космического применения. – М.: БИНОМ. Лаборатория знаний, 2012. – 304 с.
3. **Calin T., Nicolaidis M., Velazco R.** Upset hardened memory design for submicron CMOS technology // Nuclear Science, IEEE Transactions on. – 1996. – Vol. 43. – Iss. 6. – P. 1. – P. 2874–2878.
4. **Liu M.N., Whitaker S.** Low power SEU immune CMOS memory circuits // IEEE Transactions on Nuclear Science. – 1992. – Vol. 39. – No. 6. – P. 1679–1684.
5. Two CMOS memory cells suitable for the design of SEU-tolerant VLSI circuits / **R. Velazco, D. Bessot, S. Duzellier et al.** // Nuclear Science, IEEE Transactions on. – 1994. – Vol. 41. – Iss. 6. – Part 1-2. – P. 2229–2234.
6. **Timoshenkov V., Fateev I.** Modification of radiation hardened triggers for special receivers // Proc. of the 2017 IEEE Russia Section Young Researchers in Electrical and Electronic Engineering Conference. Part II. – 2017. – P. 75–78.
7. **Naseer R., Draper J.** DF-DICE: A scalable solution for soft error tolerant circuit design // ISCAS. – 2006. – P. 3890–3893.
8. **Тимошенко В.П., Фатеев И.А.** DICE КМОП КНИ-триггер, устойчивый к воздействию тяжелых заряженных частиц для применения в приемных трактах // Изв. вузов. Электроника. – 2017. – Т. 22. – №4. – С. 402–406.
9. **Ольчев С.И., Стенин В.Я.** Анализ сбоеустойчивости триггерных элементов с двухфазной структурой // Электроника, микро- и нанoeлектроника: сб. науч. тр. – М.: НИЯУ МИФИ, 2010. – С. 29–38.
10. **Стенин В.Я., Черкасов И.Г.** Влияние топологии субмикронных КМОП ячеек памяти DICE на чувствительность ОЗУ к воздействию отдельных ядерных частиц // Микроэлектроника. – 2011. – Т.40. – №3. – С. 184–190.
11. **Ольчев С.И., Стенин В.Я.** Двухфазные КМОП логические элементы с повышенной сбоеустойчивостью к воздействию отдельных ядерных частиц // Микроэлектроника. – 2011. – Т.40. – №3. – С. 170–183.
12. Estimation of hardened flip-flop neutron soft error rates using SRAM multiple-cell upset data in bulk CMOS / **N. Gaspard, S. Jagannathan, Z. Diggins et al.** // IEEE Transactions on Nuclear Science. – 2013. – Vol. 60. – No. 4. – P. 2782–2788.
13. **Стенин В.Я.** Моделирование характеристик 28-нм ячеек DICE в нестационарных состояниях, вызванных воздействием одиночных ядерных частиц // Микроэлектроника. – 2015. – Т.44. – № 5. – С. 368–379.
14. Схемотехническое моделирование одиночных эффектов при воздействии тяжелых заряженных частиц в КМОП СБИС с суб-100-нм проектными нормами / **А.А. Смолин, А.Б. Борудина, А.В. Уланова и др.** // Изв. вузов. Электроника. – 2017. – Т. 23. – № 5. – С. 447–459.
15. Modeling of single event transients with dual double-exponential current sources: implications for logic cell characterization / **D.A. Black, W.H. Robinson, I.Z. Wilcox et al.** // IEEE Transactions on Nuclear Science. – 2015. – Vol. 62. – N. 4. – P. 1540–1549.
16. Кононов В.С., Шелепин Н.А. Повышение эффективности моделирования переходных процессов в КМОП-микросхемах с учетом одиночных радиационных эффектов // Изв. вузов. Электроника. – 2017. – Т. 22. – № 4. – С. 361–368.

17. Susan Nordyk. RF SOI process design kit leverages PSP-SOI model. – URL: <http://www.edn.com/electronics-products/other/4439517/RF-SOI-process-design-kit-leverages-PSP-SOI-model> (дата обращения: 10.06.2018).

Поступила 14.06.2017 г.; принята к публикации 27.02.2018 г.

Тимошенко Валерий Петрович – доктор технических наук, профессор кафедры интегральной электроники и микросистем Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д. 1.), valeri04@hotmail.com.

Фатеев Иван Александрович – аспирант кафедры интегральной электроники и микросистем Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д. 1.), fateev@mri-progress.ru.

References

1. Chumakov A.I. *Dejstvie kosmicheskoy radiacii na integral'nye skhemy* [The effect of cosmic radiation on integrated circuits]. Moscow, Radio i svyaz' Publ., 2004, 320 p. (In Russian).
2. Tapero K.I., Ulimov V.N., Chlenov A.M. *Radiacionnye efekty v kremniykh integral'nykh skhemakh kosmicheskogo primeneniya* [Radiation effects in space applications silicon ICs]. Moscow, BINOM. Laboratoriya znaniy Publ., 2012. 304 p. (In Russian).
3. Calin T., Nicolaidis M., and Velazco R. Upset hardened memory design for submicron CMOS technology. *Nuclear Science, IEEE Transactions on*, 1996, vol. 43, iss. 6, part 1, pp. 2874–2878.
4. Liu M.N., Whitaker S. Low power SEU immune CMOS memory circuits. *IEEE Transactions on Nuclear Science*, December 1992, vol. 39, no. 6, pp. 1679–1684.
5. Velazco R., Bessot D., Duzellier S., Ecoffet R., and Koga R. Two CMOS memory cells suitable for the design of SEU-tolerant VLSI circuits. *Nuclear Science, IEEE Transactions on*. 1994, vol. 41, issue 6, part 1-2, pp. 2229–2234.
6. Timoshenkov V., Fateev I. Modification of radiation hardened triggers for special receivers. *Proc. Of the 2017 IEEE Russia Section Young Researchers in Electrical and Electronic Engineering Conference. Part II*, pp. 75-78.
7. Naseer R., Draper J. DF-DICE: A scalable solution for Soft Error tolerant circuit design. *ISCAS*, 2006, pp. 3890–3893.
8. Timoshenkov V.P., Fateev I.A., DICE KMOP KNI-trigger, ustojchivyy k vozdejstviyu tyazhelykh zaryazhennykh chastic dlya primeneniya v priemnykh traktah [DICE flip flop trigger tolerant to effect of heavy charged particles]. *Izvestiya vuzov. Elektronika = Proceedings of Universities. Electronics*, 2017, vol., 22, no. 4, pp. 402–406. (In Russian).
9. Ol'chev S.I., Stenin V.Ya. Analiz sboeustojchivosti triggernykh elementov s dvuhfaznoj strukturoj [Analysis of the failure tolerance of the trigger elements with two-phase structure]. *Elektronika, mikro- i nanoelektronika. Sb. Nauchn. Trudov*, 2010, pp. 29–38. (In Russian).
10. Stenin V.Ya., Cherkasov I.G. Vliyanie topologii submikronnykh KMOP yacheek pamyati DICE na chuvstvitel'nost' OZU k vozdejstviyu otdel'nykh yadernykh chastic [Memory-cell layout as a factor in the single-event-upset susceptibility of submicron dice CMOS SRAM]. *Mikroelektronika = Russian Microelectronics*, 2011, vol. 40, no. 3, pp. 184–190. (In Russian).
11. Ol'chev S.I., Stenin V.Ya. Dvuhfaznye KMOP logicheskie elementy s povyshennoj sboeustojchivost'yu k vozdejstviyu otdel'nykh yadernykh chastic [CMOS logic elements with increased failure resistance to single-event upsets]. *Mikroelektronika = Russian Microelectronics*, 2011, vol. 40, no. 3, pp. 170–183. (In Russian).
12. Gaspard N., Jagannathan S., Diggins Z. etc. Estimation of hardened flip-flop neutron soft error rates using SRAM multiple-cell upset data in bulk CMOS. *IEEE Transactions on Nuclear Science*, 2013, vol.60, no. 4, pp. 2782–2788.
13. Stenin V.YA. Modelirovanie harakteristik 28-nm yacheek DICE v nestacionarnykh sostoyaniyah, vyzvannykh vozdejstviem odinochnykh yadernykh chastic [Modeling of characteristics of 28-nm DICE cells in non-stationary conditions caused by the influence of single nuclear particles]. *Mikroelektronika – Russian Microelectronics*, 2015, vol. 44, no. 5, pp. 368–379. (In Russian).
14. Chumakov A.I., Shelepin N.A. Skhemotekhnicheskoe modelirovanie odinochnykh effektov pri vozdejstvii tyazhelykh zaryazhennykh chastic v KMOP SBIS s sub-100-nm proektnymi normami [Circuit Engi-

neering Modeling of Single Event Effects under Impact of Heavy-Charged Particles in SUB-100 NM CMOS ICs]. *Izvestiya vuzov. Elektronika = Proceedings of Universities. Electronics*, 2017, vol. 23, no. 5, pp. 447 – 459. (In Russian).

15. Black D.A., Robinson W.H., Wilcox I.Z. et al. Modeling of Single Event Transients With Dual Double-Exponential Current Sources: Implications for Logic Cell Characterization. *IEEE Transactions on Nuclear Science*, 2015, vol. 62, no. 4, P. 1540–1549.

16. Kononov V.S., Shelepin N.A. Povyshenie effektivnosti modelirovaniya perekhodnyh processov v KMOP-mikroskhemah s uchetom odinochnykh radiacionnykh effektiv [An increase of efficiency in modeling transient processes in CMOS-microchips considering single radiation effects] *Izvestiya vuzov. Elektronika = Proceedings of Universities. Electronics*, 2017, vol. 22, no. 4, pp. 361–368. (In Russian).

17. Susan Nordyk. *RF SOI process design kit leverages PSP-SOI model*. Available at: <http://www.edn.com/electronics-products/other/4439517/RF-SOI-process-design-kit-leverages-PSP-SOI-model>. (accessed: 10.06.2017).

Submitted 14.06.2017; Accepted 27.02.2018.

Information about the authors:

Valery P. Timoshenkov – Dr. Sci. (Tech.), Prof. of the Integrated Electronics and Microsystems Department, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), valeri04@hotmail.com

Ivan A. Fateev – PhD student of the Integrated Electronics and Microsystems Department, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), fateev@mri-progress.ru